

(Translation of a notice from the Japanese Patent Office)

Mailing Date: November 24, 1999
Mailing No. 248680

NOTIFICATION OF REASONS FOR REJECTION

Patent Application No.: 5-242932
Examiner's Notice Date: November 4, 1999
Examiner: K. HOTTA
Attorneys on Record: Takehiko Suzuye

This application is rejected on the grounds stated below. Any opinion about the rejection must be filed within 60 days of the mailing date hereof.

REASON

A. The invention is unpatentable under section 29^{bis} of the Patent Law on the grounds that the invention is considered the same as the invention (device) described in the specification and the drawing(s) originally attached to the request of the following patent (device) application (claiming priority based on the Paris Convention), which was filed before the filing date of this application, and the Gazette of which was published (publication of the Gazette containing the Patent or publication of the Gazette containing the Utility Model) or disclosed after the filing date of this application and that the inventor of the present application is not considered to be the inventor of the cited patent (device) application, and at the time of the filing of this application, the applicant is not considered to be the applicant of the cited patent (device) application.

REMARKS

[Re: Claims 1 and 2]

The originally filed specification or the drawings (FIGS. 1 and 2) of the following Reference 1 describes a synchronous DRAM in which 8-bit data buses DB0-DB7 are made common by the first and second banks. Each bank

is divided into four blocks 20TL, 20TR, 20BL and 20BR having a plurality of sub arrays, and the 8-bit data bus DB is grouped for each $8/4=2$ bits. Data inputs/outputs are performed between each block and the grouped data bus DB via an I/O bus 26 used in common by the two adjacent sub arrays.

[Re: Claim 3]

Paragraph [0031] in the specification of the senior application suggests that a data input/output buffer 48 and an input/output pad (not shown) are provided adjacent to each other. It is a matter which can be conceived as a matter of course by a person skilled in the art to dispose an I/O buffer and I/O pad as closely as possible.

REASON

B. The application fails to satisfy the requirements under Section 37 of the Patent Law in the following respect(s).

REMARKS

Neither the problem to be solved, nor the main part of the features indispensable for the structure of the inventions of claims 1 to 3 is the same as that of claim 4 (the problem to be solved in the inventions of claims 1 to 3 is miniaturization, and the problem to be solved in the invention of claim 4 is speed-enhancement).

The claim(s), which is(are) not mentioned in this Official Action, is(are) not rejected. If a new reason for rejection is noticed, a further Official Action will be issued.

Reference Cited

1. Jpn. Pat. Appln. No. 5-248359 (Jpn. Pat. Appln. KOKAI Publication No. 6-195963)

拒絶理由通知書

特許出願の番号	平成 5 年 特許願 第 2 4 2 9 3 2 号
起案日	平成 1 1 年 1 1 月 4 日
特許庁審査官	堀田 和義 8 8 4 0 5 M 0 0
特許出願人代理人	鈴江 武彦 殿
適用条文	第 2 9 条の 2、第 3 7 条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 6 0 日以内に意見書を提出されたい。

理 由

A. この出願の下記の請求項に係る発明は、その出願の日前の特許（実用新案登録）出願であって（パリ条約による優先権主張を伴う）、その出願後に出願公告（特許掲載公報の発行又は実用新案掲載公報の発行）又は出願公開がされた下記の特許（実用新案登録）出願の願書に最初に添付された明細書又は図面に記載された発明（考案）と同一であり、しかも、この出願の発明者がその出願前の特許（実用新案登録）出願に係る上記の発明（考案）をした者と同一ではなく、またこの出願の時に於いて、その出願人が上記特許（実用新案登録）出願の出願人と同一でもないので、特許法第 2 9 条の 2 の規定により、特許を受けることができない。

記 （引用文献等については引用文献等一覧参照）

[請求項 1、2 に対して]

下記 1 の出願の当初の明細書又は図面（第 1 図、第 2 図）には、8 ビットのデータバス DB 0 ～ DB 7 を第 1 のバンクと第 2 のバンクで共通化したシンクロナス DRAM において、それぞれのバンクを複数のサブアレイを有する 4 個のプロ
続葉有

部長	審査長	審査官	審査官補
	立川 功	堀田 和義	
	7 8 3 1	8 8 4 0	

続 葉

ック20TL、20TR、20BL、20BRに分割すると共に、8ビットのデータバスDBを $8/4=2$ ビット毎にグループ化し、それぞれのブロックは、2個の隣接するサブアレイによって共有されるI/Oバス26を介してグループ化されたデータバスDBとの間でデータの入出力を行うことが記載されている。

[請求項3に対して]

先願の明細書の段落【0031】には、データ入出力バッファ48と入出力パッド（図示せず）を隣接して配置することが示唆されている。なお、入出力バッファと入出力パッドをなるべく近くに配置するのは当業者による当然の配慮である。

B. この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

記

本願特許請求の範囲の請求項1～3に係る発明と請求項4に係る発明とは、解決しようとしている課題も異なるし（請求項1～3に係る発明の課題は小型化で、請求項4に係る発明の課題は高速化である）、発明の構成に欠くことのできない事項の主要部も同一でない。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

1. 特願平5-248359号（特開平6-195963号）

Semiconductor memory.

Patent Number: ☐ EP0591009, A3, B1

Publication date: 1994-04-06

Inventor(s): CHOI YUN-HO (KR); KIM CHULL-SOO (KR); KIM TAE-JIN (KR); LEE SEUNG-HUN (KR); LEE SI-YEOL (KR); PARK CHUROO (KR); JANG HYUN-SOON (KR); KIM MYUNG-HO (KR); LEE HO-CHEOL (KR)

Applicant(s):: SAMSUNG ELECTRONICS CO LTD (KR)

Requested Patent: ☐ JP6195963

Application Number: EP19930307861 19931001

Priority Number (s): KR19920018130 19921002; KR19920018131 19921002; KR19930007127 19930427

IPC Classification: G11C11/408 ; G11C11/407

EC Classification: G11C7/10S, G11C11/408D, G11C11/408, G11C11/4076

Equivalents: CN1049514B, CN1089054, DE69327499D

Abstract

A synchronous dynamic random access memory is capable of accessing data in a memory cell array therein in synchronism with a system clock from an external system such as a central processing unit (CPU). The synchronous DRAM receives an external clock CLK and includes a plurality of memory banks 12, 14 each including a plurality of memory cells and operable in either an active cycle or a precharge cycle, a circuit (70, 108) for receiving a row address strobe signal RAS and latching a logic level of the row address strobe signal RAS in response to the clock CLK, an address input circuit for receiving an externally generated address SRA10, SRA11 selecting one of the memory banks, and a circuit (540, 542) for receiving the latched logic level and the address from the address input circuit and for outputting an activation signal to the memory bank 12, 14 selected by the address, and inactivation signals to unselected memory banks 12, 14 when the latched logic level is a first logic level, so that the selected memory bank 12, 14 responsive to the activation signal operates in the active cycle while the unselected memory banks (12, 14) responsive to the inactivation signals operate in the precharge cycle.



Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-195963

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

G11C 11/401

識別記号

庁内整理番号

F I

技術表示箇所

6866-5L

G11C 11/34

362 C

審査請求 未請求 請求項の数6(全58頁)

(21)出願番号 特願平5-248359

(22)出願日 平成5年(1993)10月4日

(31)優先権主張番号 1992 P 18130

(32)優先日 1992年10月2日

(33)優先権主張国 韓国(KR)

(31)優先権主張番号 1992 P 18131

(32)優先日 1992年10月2日

(33)優先権主張国 韓国(KR)

(31)優先権主張番号 1993 P 7127

(32)優先日 1993年4月27日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘3洞416

(72)発明者 朴 哲佑

大韓民国京畿道水原市勤善区遠川洞90番地
25号

(72)発明者 張 賢淳

大韓民国ソウル特別市恩平區佛光洞美星ア
パート11棟1007号

(72)発明者 金 哲洙

大韓民国京畿道水原市八達区梅灘2洞200
番地40号

(74)代理人 弁理士 高月 猛

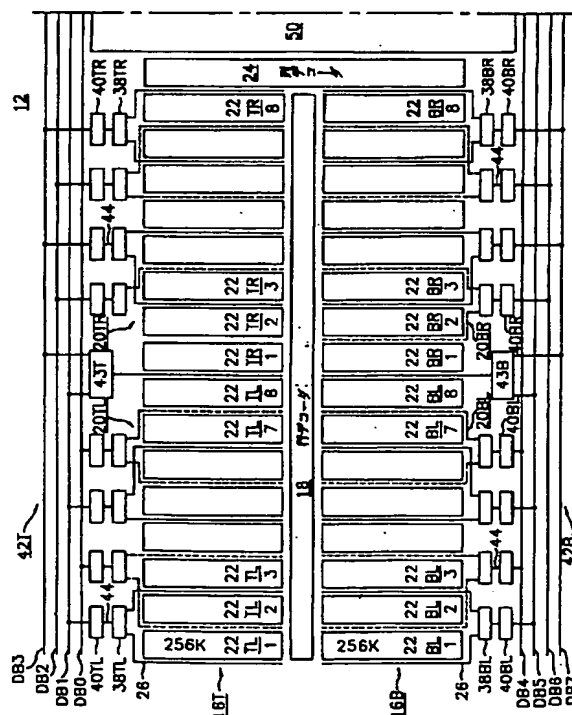
最終頁に続く

(54)【発明の名称】 半導体メモリ

(57)【要約】

【目的】 外部システムクロックに同期して、メモリセルアレイ内のデータを高速にアクセスすることができる半導体メモリを提供する。

【構成】 外部クロックを入力する半導体メモリにおいて、読出しサイクル又は書込みサイクルを示すアクティブサイクル又はプリチャージサイクルで動作可能な複数のメモリバンクと、上記外部クロックの立上りエッジ又は立下りエッジに応答して、入力された行アドレスストロブ信号の論理レベルをラッチするための手段と、前記メモリバンクのうちいずれか一つを選択するための外部アドレスの入力手段と、ラッチされた前記論理レベルとアドレス入力手段からのアドレスを受け取り、該論理レベルが第1論理レベルの時、選択されたメモリバンクに活性化信号を出力してアクティブサイクルで、選択されなかったメモリバンクには非活性化信号を出力してプリチャージサイクルで動作させる手段とを備える。



【特許請求の範囲】

【請求項 1】 半導体基板に形成され複数の動作モードを有する半導体メモリにおいて、前記動作モードの中で少なくとも一つを指定するようにされた外部アドレスをうけるためのアドレス入力手段と、モード設定動作時にモード設定信号を発生するための手段と、

前記モード設定信号にตอบสนองし前記外部アドレスに従ってコードを貯蔵し、貯蔵されたコードによって決定される動作モードを示す動作モード信号を発生するための手段と、を備えることを特徴とする半導体メモリ。

【請求項 2】 複数の内部動作モードを有する半導体メモリにおいて、

供給電源の印加後、前記供給電源の電位が所定の値に至る時にパワーオン信号を発生するための手段と、

前記パワーオン信号にตอบสนองして多数のコード信号を自動的に貯蔵し、前記コード信号によって定義される多数の内部動作モードの中で選択されたモードを示す内部動作モード信号を発生するための手段と、を備えることを特徴とする半導体メモリ。

【請求項 3】 ダイナミックランダムアクセスメモリにおいて、

多数のメモリセルを有し、読出しや書込みを行うアクティブサイクル、又はプリチャージサイクルで動作可能な複数のメモリバンクと、

行アドレスストロブ信号を入力して第 1 信号を出力するための第 1 手段と、

列アドレスストロブ信号を入力して第 2 信号を出力するための第 2 手段と、

書込みエネーブル信号を入力して第 3 信号を出力するための第 3 手段と、

前記メモリバンクの選択を表すアドレス信号を入力するためのアドレス入力手段と、

前記第 1、第 2、第 3 信号及びアドレス信号にตอบสนองし、且つ前記アドレス信号によって選択されたメモリバンクに対するアクティブサイクルを表すデータ及び選択されなかったメモリバンクに対するプリチャージサイクルを表すデータを貯蔵する各メモリバンクに対応するラッチ手段とを含む論理手段と、を備えることを特徴とするダイナミックランダムアクセスメモリ。

【請求項 4】 外部クロック信号を入力とするダイナミックランダムアクセスメモリにおいて、

多数のメモリセルを有し、読出しや書込みを行うアクティブサイクル、又はプリチャージサイクルで動作可能な複数のメモリバンクと、

行アドレスストロブ信号を入力とし、前記クロックの立上りエッジ又は立下りエッジにตอบสนองして該行アドレスストロブ信号の論理レベルをラッチするための手段と、

前記メモリバンクのうちいずれか一つを選択するため、外部で発生したアドレスを入力するためのアドレス入力手段と、

ラッチされた前記論理レベルとアドレス入力手段からの前記アドレスを入力とし、ラッチされた前記論理レベルが第 1 論理レベルのときに前記アドレス信号によって選択されたメモリバンクに活性化信号を出力してアクティブサイクルで動作させ、選択されなかったメモリバンクには非活性化信号を出力してプリチャージサイクルで動作させる手段と、を備えることを特徴とするダイナミックランダムアクセスメモリ。

【請求項 5】 半導体基板に形成され、外部クロック信号を使用すると共にメモリセルから読み出されたデータをデータ出力バッファを介して出力するようにされた半導体メモリにおいて、

データの出力時間間隔を示すバースト長信号を発生すると共に該バースト長信号に相応する時間間隔の間に前記データ出力バッファを介して前記外部クロック信号と同期させてデータを出力する手段と、を備えることを特徴とする半導体メモリ。

【請求項 6】 行と列に配列された多数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイを行方向に分割し、前記メモリセルアレイの該当列にそれぞれ連結される多数のワード線と前記メモリセルアレイの該当行にそれぞれ連結される多数のビット線を有する多数のサブアレイと、前記多数のサブアレイに沿って配された複数の入／出力バスとを有する半導体メモリであって、

前記多数のサブアレイのビット線は、交互に配列される第 1 及び第 2 ビット線群に分けられ、さらに両ビット線群は交互に配列される第 1 及び第 2 サブビット線群に分けられており、

前記複数の入／出力バスは、それぞれ第 1 及び第 2 入／出力バス群に分けられ、さらに両入／出力バス群は第 1 及び第 2 入／出力線群に分けられており、

第 1 入／出力バス群の第 1 及び第 2 入出力線群は複数の列選択スイッチを通じて隣接したサブアレイの第 1 ビット線群の第 1 及び第 2 サブビット線群にそれぞれ接続され、第 2 入／出力バス群の第 1 及び第 2 入／出力線群は複数の列選択スイッチを通じて隣接したサブアレイの第 2 ビット線群の第 1 及び第 2 サブビット線群にそれぞれ連結されることを特徴とする半導体メモリ。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は半導体メモリに関するもので、特に中央処理装置（CPU）のような外部システムからのシステムクロックに同期して、メモリセルアレイ内のデータに高速でアクセスすることができる同期ダイナミックランダムアクセスメモリに関するものである。

【 0 0 0 2 】

【従来の技術】コンピュータシステムは与えられた作業に対する命令を実行するためのCPUと、CPUが要求するデータや、プログラム等を貯蔵するための主メモリを一般的に有する。コンピュータシステムの性能の向上のためには、CPUの動作速度を増加することと、CPUが待機時間なしに動作できるように主メモリへのアクセス時間をできる限り短くすることが要求される。最近のマイクロプロセッサのような現代的CPUにおいては、クロック周波数が33MHz、66MHz、100MHzと速まり、それにつれ動作クロック周期はますます短くなってきている。しかし、ビット当りのコストにおいて低価なため主メモリ装置として多用されている高密度ダイナミックランダムアクセスメモリ(DRAM)の動作速度は、高速化したCPUの動作速度と歩調を合わせることができなかつた。

【0003】DRAMは行アドレスストロブ信号バーRASの活性化時点、即ち論理“ハイ”から論理“ロウ”へのバーRASの遷移時点から、列アドレスストロブ信号バーCASの活性化によりラッチされた列アドレスの指定メモリ位置からデータがデータ出力バッファを通じて出力されるまでの最小時間、即ち最小バーRASアクセス時間を固有に有している。このバーRASアクセス時間はバーRAS待ち時間(latency)といわれ、そしてバーCASの活性化からデータ出力までの時間はバーCAS待ち時間といわれる。さらにまた、DRAMは読出し動作後に再びアクセスする前にブリチャージ時間が必要である。このような要因によりDRAMの全体的な動作は低速となり、従って、CPUは待機時間を持たざるを得ない。

【0004】CPUの動作速度と、DRAMのような主メモリの動作速度との差を補償するため、コンピュータシステムはCPUと主メモリとの間にキャッシュメモリ(cache memory)と呼ばれる高速で高価なバッファメモリを有する。このキャッシュメモリはCPUにより主メモリから頻繁に要求される情報データを貯蔵する。CPUがデータに対する要求を発する度にキャッシュメモリ制御装置はこれを受け取り、前記データがキャッシュメモリに貯蔵されているか否かを調べるためにキャッシュメモリを検査する。もし、要求されるデータがキャッシュメモリにあれば(以下、キャッシュヒットという)、高速データ伝送がキャッシュメモリからCPUに直ぐさま行われる。しかし、要求されるデータがキャッシュメモリになければ(以下、キャッシュミスという)、キャッシュメモリ制御装置はより低速の主メモリからデータを読み出す。ここで読み出されたデータはキャッシュメモリに貯蔵され、CPUに送り出される。こうして、このデータに対する以後の要求はキャッシュメモリから高速に読み出すことができるようになっていく。即ち、キャッシュヒットの場合はキャッシュメモリから高速データ

伝送が可能であるが、キャッシュミスの場合には主メモリからCPUへの高速データ伝送が期待できず、これによってCPUの待機時間をもたらししてしまう。従って、主メモリとして使用するDRAMは高速動作の達成が重要である。

【0005】DRAMとCPU又はキャッシュメモリとの間のデータ伝送は連続的なデータ、所謂データブロックとして伝送される。連続的なデータを高速で伝送するため、ページモード、スタティックコラムモード、ニブルモードといった動作モードを有するDRAMが提示されており、これら動作モードは米国特許番号第3,969,706号及び第4,750,839号に開示されている。ニブルモードを有するDRAMのメモリセルアレイは、多数のセルが同一アドレスによってアクセスできるように例えば4つに分割されている。データは連続して書き込みあるいは読出しが可能のようにシフトレジスタに一時的に保持される。ニブルモードを有するDRAMは5ビット以上のデータを連続して伝送できないので、高速データ伝送システムに適用する時にシステム設計の柔軟性が低下する。

【0006】DRAMにおいてページモードとスタティックコラムモードはバーRASタイミングで同一行アドレスが選択され、読出し信号全部がラッチされた後、ページモード時には、バーCASタイミングでバーCASのパルス発生つまりトグルングに同期し、また、スタティックコラムモード時には列アドレスの遷移を検出して、それぞれ列アドレスを連続してアクセスすることによって実現される。しかし、ページモード又はスタティックコラムモードを有するDRAMは、列アドレスの選択後に次の新たな列アドレスを入力するための列アドレスの設定及び保持時間といった特定時間を必要とする。従って、100-Mbit/sec以上の高いメモリ帯域幅(memory bandwidth)で連続的なデータをアクセスすること、即ちバーCASサイクル時間を10ns以下にすることは不可能である。また、ページモードにおいてバーCASサイクル時間の短縮は書き込み動作時に選択されたメモリセルにデータを書き込むための十分な列選択時間を保障できないので、誤りデータが書き込まれる可能性がある。しかし、これら高速動作モードはCPUのシステムクロックに同期した動作ではないので、CPUが高速化される度にデータ伝送システムは新たに設計したDRAM制御装置を使用しなければならない。

【0007】従って、マイクロプロセッサなどの高速CPUと歩調を合わせるため、このマイクロプロセッサのシステムクロックと同期して高速でデータにアクセスできる同期DRAMの開発が要求されている。具体的な回路の開示はないが、同期DRAMに関する一般的な説明が1992年4月に発行されたNIKKEI MIC-RODEVICESの第158頁～第161頁に開示されている。

【0008】同期DRAMに対する使用範囲の拡張と使

いやすさを向上させるため、同期DRAMの一つのチップが複数のシステムクロック周波数で動作し、各クロック周波数に依存する待ち時間と出力されるビットの数量を定めるバースト長（又はサイズ）と列アドレス形式等のような種々の動作モードをプログラムするように許容することが更に望ましい。DRAM技術において動作モードを選択する例は、1989年5月23日付発行の米国特許番号第4,833,650号と、1991年1月22日付発行の同一出願人に譲渡された米国特許番号第4,987,325号に開示されている。この技術はページモード、スタティックコラムモード及びニブルモードなどのような動作モードのうちいずれか一つを選択する技術を開示している。この従来技術に開示された動作モードの選択は、レーザー装置からのレーザービーム又は電源からの電流によるヒューズの切断、あるいはボンディングパッドの選択的連結によって行われる。しかし、これら従来の技術はいったん動作モードが選択されると、この選択された動作モードは他の動作モードに変更することができない。従って、従来技術は必要な場合に動作モードを任意に変更できないという欠点がある。

【0009】

【発明が解決しようとする課題】 従って本発明の目的は、第一に、外部システムクロックに同期してデータの入出力が可能な同期ダイナミックランダムアクセスメモリを提供することにある。第二に、高性能の同期DRAMを提供することにある。第三に、高速データ伝送率で動作可能な同期DRAMを提供することにある。第四に、多様なシステムクロック周波数で動作できる同期DRAMを提供することにある。第五に、入力データ又は出力データの数をプログラムすることができる同期DRAMを提供することにある。第六に、バイナリー又はインタリーブモードで計数動作が可能な計数器を提供することにある。第七に、入力データ又は出力データの数に関係なく不必要なチップの内部動作を遮断する半導体メモリを提供することにある。第八に、多様な動作モードを設定できる半導体メモリを提供することにある。第九に、高速データ伝送率で動作するデータ伝送と、ブリチャージを提供するデータ伝送回路とを有する半導体メモリを提供することにある。第十に、少なくとも2個のメモリバンクを有する一つの半導体メモリチップにおいて、これらメモリバンクの動作モードをそれぞれ設定できる回路を有する半導体メモリを提供することにある。

【0010】

【課題を解決するための手段】 このような目的を達成するために本発明の半導体メモリは、外部アドレスとモード設定制御信号にตอบสนองしてアドレスコードを貯蔵するレジスタと、レジスタからのアドレスコードにตอบสนองして選択された動作モード信号を発生する動作モード設定回路と、前記動作モードの設定後自動的にブリチャージするための自動ブリチャージ回路と、を有する。

【0011】 半導体メモリ装置は、少なくとも2個のメモリバンクを同一チップ上にもち、前記各メモリバンクの動作モードを設定するために外部アドレス信号と外部ストロブ信号により各バンクを選択し、各バンクの動作モード制御信号を発生する制御手段を有する。

【0012】 半導体メモリ装置は時系列的に1束になった入出力データの数によって定められるバースト長に従ってバーストの長さを示す信号を発生する手段と、該信号にตอบสนองしてデータの出力をディスエーブルするデータ出力バッファと、を有する。また、本発明の半導体メモリ装置は前記信号にตอบสนองしてリセットされるアドレス発生回路を有する。

【0013】 半導体メモリ装置は行と列に配列された多数のメモリセルを有するメモリセルアレイと、同一行に接続された多数のメモリセルから少なくとも2個以上のメモリセルに貯蔵されたデータを対応ビット線に読出するための手段と、前記対応ビット線の数より多くのデータ線と、このデータ線のうち対応データ線に前記対応ビット線に読出しされたデータを伝送するために前記対応ビット線を前記対応データ線に連結するための選択手段と、前記対応データ線にデータ伝送中に他のデータ線をブリチャージする手段と、を有する。

【0014】 また、本発明の半導体メモリ装置は、行と列に配列された多数のメモリセルをもち、前記列は予め予定された数の第1列と第2列にそれぞれグループ化された第1列群と第2列群を有するメモリセルアレイと、前記第1列の数と同一の第1データ線と前記第2列の数と同一の第2データ線とから構成されたデータバスと、前記各第1列群を構成する第1列と前記第1データ線との間にそれぞれ接続された第1選択スイッチと、前記各第2列群を構成する第2列と前記第2データ線との間にそれぞれ接続された第2選択スイッチと、前記第1データ線と前記第2データ線とのデータ伝送が代る代る行われるように前記第1選択スイッチと第2選択スイッチを代る代るターンオンする手段と、を有する。他の目的と種々の利点は添付の図面を参照して詳細に説明されるであろう。

【0015】

【実施例】 以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。図面の説明においては、同一の構成要素に対してはできるだけ同一の符号又は参照番号を使用する。下記の説明において、メモリセルとメモリセルの数、メモリセルアレイの数、メモリバンクの数、電圧値、回路構成及び部品等の多くの特定の仕様が本発明の全体的な理解のために示されている。しかし、これら特定の仕様でなくても本発明の実施が可能であるのは、この技術分野で通常の知識を有する者には自明であろう。

【0016】 本実施例の同期DRAMは同一チップ上に2対 (1win) ウェールCMOS製造技術を使用して製作さ

れ、0.6~0.65Vのしきい電圧を有するNチャネルトランジスタと-0.8~-0.85Vのしきい電圧を有するPチャネルトランジスタが使用される。また、3.3Vの電源電圧 V_{cc} が使用される。

【0017】チップの構造

図1及び図2は、本発明による同期DRAMの一つの半導体チップ上に形成された各種構成部分の概略的平面構造を示す図である。本実施例のDRAMは、2,097,152(2M)×8ビットで構成された16,777,216(16M)ビットの同期DRAMである。メモリセルアレイはデータ伝送率を高めるために図1に示された第1バンク12と図2に示された第2バンク14に分割されている。各バンク12、14はさらに上部メモリセルアレイ16Tと下部メモリセルアレイ16Bで構成されており、この上部及び下部メモリセルアレイ16T、16Bはそれぞれ4,194,304(4M)ビットのメモリセルを有している。

【0018】また、この上部及び下部メモリセルアレイ16T、16Bはさらに左右で隣接し合う2Mビットメモリセルであるメモリセルアレイ20TL、20TRと20BL、20BRに等分されている。ここで各メモリセルアレイ20TL、20TRと20BL、20BRを順に第1~第4メモリセルアレイと称するものとする。つまり、各バンク12、14は第1~第4メモリセルアレイで構成された4個のメモリセルアレイに分割されている。さらに、これら第1~第4メモリセルアレイはそれぞれ8個のサブメモリセルアレイ(以下、サブアレイと称する)22TL1~22TL8と、22TR1~22TR8と、22BL1~22BL8と、22BR1~22BR8に分割されている。このサブアレイのそれぞれは256本のセル行と、1,024本のセル列のマトリックス形式でなる256Kビットのメモリセルを有し、各メモリセルは公知の1トランジスタ1キャパシタ形のセルである。

【0019】各バンク12、14において上部メモリセルアレイ16Tと下部メモリセルアレイ16Bとの間には行デコーダ18が配されている。各バンク12、14の行デコーダ18は各サブアレイ内にある256本の行線、即ちワード線と接続し、行デコーダ18を中心に対称に配列された各上・下部サブアレイ対(22TL1、22BL1)、…、(22TR8、22BR8)内のワード線は垂直方向に配されている。行デコーダ18は、行アドレスバッファからの行アドレスに回答して第1~第4メモリセルアレイの中でそれぞれの一つのサブアレイを選択し、この選択されたサブアレイで一本のワード線を選択し、選択されたワード線上に行駆動電圧を供給する公知の回路である。従って、行デコーダ18は各バンク12、14に与えられた行アドレスに回答して4本のワード線を選択する。即ち、上部左側サブアレイ22TL1~22TL8の中で選択された一つのサブアレイ

における一本のワード線と、下部左側サブアレイ22BL1~22BL8の中で選択された一つのサブアレイにおける一本のワード線と、上部右側サブアレイ22TR1~22TR8の中で選択された一つのサブアレイにおける一本のワード線と、下部右側サブアレイ22BR1~22BR8の中で選択された一つのサブアレイにおける一本のワード線とが選択される。

【0020】第1バンク12の上部メモリセルアレイ16Tと下部メモリセルアレイ16Bの右側端と、第2バンク14の上部メモリセルアレイ16Tと下部メモリセルアレイ16Bの左側端にそれぞれ列デコーダ24が位置する。各列デコーダ24は、横方向に相互平行で且つワード線と垂直に配される256本の列選択線と接続され、列アドレスに回答して前記列選択線のうちの一本を選択する。I/Oバス26はワード線に平行に配され、各サブアレイ22TL、22BL、22TR、22BRの両側端に隣接している。サブアレイ間にあるI/Oバス26は2個の隣接するサブアレイによって共有されている。各I/Oバス26は4対のI/O線で構成され、各I/O線対は相補関係にある2本の信号線で構成され、列選択スイッチ及びセンスアンプを通じて対応するビット線対と連結される。

【0021】図3は、前述の上部メモリセルアレイ16Tにあるサブアレイ22TL1~22TL8のうち奇数番目のサブアレイと、これに関連するI/Oバスの配置を示す図である。左側の第1I/Oバス26Lと右側の第2I/Oバス26Rはサブアレイ22の左右側端でワード線WL0~WL255とに平行に配されている。第1及び第2I/Oバス26L、26RはそれぞれI/O線対(I/O₀、バーI/O₀)と(I/O₁、バーI/O₁)で構成された第1I/O線対と、I/O線対(I/O₂、バーI/O₂)と(I/O₃、バーI/O₃)で構成された第2I/O線対で構成されている。

【0022】サブアレイ22は折返しビット線(folded bit line)方式で配列され、ワード線WL0~WL255に垂直な1,024対(即ち、2,048本のビット線)のビット線対28を有する。ワード線とビット線の交差点にメモリセル30が位置している。前記サブアレイ22を構成するビット線対28は所定数のビット線対(本実施例では2対のビット線)ずつ分けられ、奇数番目に位置する多数の第1ビット線群28L1~28L256と、偶数番目に位置する多数の第2ビット線群28R1~28R256とに分けられている。第1ビット線群28Lは第2ビット線群28Rと代る代る交互に配列されている。さらに、第1ビット線群28Lのうち奇数番目のビット線対(第1サブ群とする)28L1、28L3、…、28L255と偶数番目のビット線対(第2サブ群とする)28L2、28L4、…、28L256は対応するセンスアンプ32Lと列選択スイッチ34Lを介して第1I/Oバス26L内の前記第1I/O線対

と第2 I/O線対にそれぞれ接続され、第2ビット線群28Rのうち奇数番目のビット線対(第1サブ群とする)28R1、28R3、…、28R255と偶数番目のビット線対(第2サブ群とする)28R2、28R4、…、28R256は対応するセンスアンプ32Rと列選択スイッチ34Rを介して第2 I/Oバス26R内の第1 I/O線対と第2 I/O線対にそれぞれ接続されている。

【0023】左右側I/Oバス26L、26Rで第1 I/O線対(I/O₀、バーI/O₀) (I/O₁、バーI/O₁) に関連する列選択スイッチに接続された第1列選択線L0、L2、…、L254は、第2 I/O線対(I/O₂、バーI/O₂)、(I/O₃、バーI/O₃) に関連した列選択スイッチに接続された第2列選択線L1、L3、…、L255と平行に交互に配列されている。従って、行アドレスにより一本のワード線、即ち一つのページが選択された後に列選択線L0~L255を読み出し動作で連続して選択することにより、各左右側I/Oバス26L、26Rにある第1 I/O線対と第2 I/O線対は2ビットずつ代る代る継続するデータ(continuous data)を提供する。即ち、各I/Oバスにある第1及び第2 I/O線対は2ビットのデータを代る代る連続して伝送するようになっている。

【0024】対応センスアンプ32L、32Rと連結され、交互に反対方向に延びて配される線対36は、隣接するサブアレイ内にある対応センスアンプ32L、32Rを通じて対応ビット線群28L、28Rとそれぞれ接続される。即ち、第1 I/Oバス26Lの第1 I/O線対と第2 I/O線対は、左側に隣接するサブアレイ(図示せず)の第1ビット線群のうち奇数番目のビット線対(第1サブビット線群と称する)と偶数番目のビット線対(第2サブビット線群と称する)と対応列選択スイッチ32Lとを、対応センスアンプを通じてそれぞれ連結される。そして同様に、第2 I/Oバス26Rの第1 I/O線対と第2 I/O線対は、右側に隣接するサブアレイ(図示せず)の第2ビット線群のうち奇数番目のビット線対(第1サブビット線群)と偶数番目のビット線対(第2サブビット線群)とを、対応列選択スイッチ32Rと対応センスアンプを通じてそれぞれ連結される。

【0025】従って、図1及び図2の各サブアレイのビット線対は図3に示されたようにサブアレイ22の第1及び第2ビット線群のように分けられているので、この第1ビット線群に関連したI/Oバスは、第2ビット線群に関連したI/Oバスと交互に配列される。即ち、奇数番目に位置したそれぞれの第1 I/Oバスはこのバスに隣接した二つのサブアレイ内の第1ビット線群に係わっており、偶数番目に位置したそれぞれの第2 I/Oバスはこのバスに隣接した二つのサブアレイ内の第2ビット線群に係わっている。図1及び図2の各サブアレイにおける第1及び第2 I/Oバスの第1及び第2 I/O線

対と、このサブアレイの各ビット線対の接続関係は、図3と関連して説明した通りである。

【0026】なお、前記各センスアンプ32L又は32Rは、Pチャンネルセンスアンプと分離用トランスファトランジスタとNチャンネルセンスアンプ及び等化及びブリッジ回路で構成された公知のセンスアンプを使用することが出来る。従って、隣接する二つのサブアレイ間にあるI/Oバス26は、分離用トランスファトランジスタを制御することにより選択されたサブアレイからデータを読み出し、あるいは前記アレイにデータを書き込むための共通I/Oバスである。

【0027】上記図1及び図2において、各バンク12、14で第1及び第3メモリセルアレイ20TL、20TRの上部にこれらに対応するI/O線選択及びブリッジ回路38TL、38TRと、I/Oセンスアンプ及びラインドライバ40TL、40TRがそれぞれ位置し、第2及び第4メモリセルアレイ20BL、20BRの下部にこれらに対応するI/O線選択およびブリッジ回路38BL、38BRと、I/Oセンスアンプ及びラインドライバ40BL、40BRがそれぞれ位置する。I/O線選択及びブリッジ回路38TL、38TR、38BL、38BRは対応メモリセルアレイ20TL、20TR、20BL、20BR内のI/Oバス26の対とそれぞれ接続される。

【0028】即ち、奇数番目のI/O線選択及びブリッジ回路は対応メモリセルアレイ内の奇数番目のI/OバスのI/Oバス対とそれぞれ接続され、偶数番目のI/O線選択及びブリッジ回路は対応メモリセルアレイ内の偶数番目のI/OバスのI/Oバス対とそれぞれ接続される。よって、各バンク12、14の前記I/O線選択及びブリッジ回路の一番外側にあるI/O線選択及びブリッジ回路はそれぞれ3個のサブアレイ内の第1ビット線群と連結されたメモリセルにデータを書き込み、あるいはそのメモリセルからデータを読み出すことができ、残りの偶数番目及び奇数番目のI/O線選択及びブリッジ回路は4個のサブアレイ内の第2ビット線群及び第1ビット線群と連結されたメモリセルにデータを書き込み、あるいはそのメモリセルからデータを読み出すことができる。

【0029】各I/O線選択及びブリッジ回路38は、この回路に接続した一対のI/Oバスのうちいずれか一つを選択するI/Oバス選択回路と、選択されたI/Oバスを構成する第1 I/O線対(I/O₀、バーI/O₀) 及び(I/O₁、バーI/O₁) と第2 I/O線対(I/O₂、バーI/O₂) 及び(I/O₃、バーI/O₃) のうちいずれか一つがデータを伝送する時、他のI/O線対をブリッジするためのI/O線ブリッジ回路とから構成される。

【0030】PIOバス44と対応するI/Oセンスアンプ及びラインドライバ40にを通してそれぞれデータ

10

20

30

40

50

バス 4 2 T、4 2 B (DB 0 ~ DB 7) に接続される。各 P I O バス 4 4 は対応 I / O バス選択回路により選択された I / O バスに接続される。従って、P I O バス 4 4 は I / O バス 2 6 と同様に 4 対の P I O 線で構成されている。各 I / O センスアンプ及びラインドライバ 4 0 は、読出し動作で対応 I / O バス選択回路と P I O バスを通して入力されるデータを増幅するための I / O センスアンプと、書込み動作で対応データバス 4 2 を通して入力されるデータを I / O バス選択回路によって選択された I / O バスに送出するためのラインドライバとで構成される。従って、上述したように第 1 I / O 線対と第 2 I / O 線対のうちいずれか一つの I / O 線対上のデータが対応 P I O 線対を通じて前記センスアンプに入力されると、他の I / O 線対と連結された P I O 線対は、前記 I / O 線ブリチャージ回路により前記 I / O 線対と共にブリチャージされる。書込み動作においてラインドライバ 4 0 も選択された P I O 線対を通じて対応 I / O 線対にデータを送出するとき、非選択された P I O 線対とこれらの対応 I / O 線対はブリチャージを始める。

【0031】図 1 および図 2 に示す同期 DRAM チップ上の最上端と最下端には上部データバス 4 2 T と下部データバス 4 2 B が横方向に平行にそれぞれ配されている。データバス 4 2 T と下部データバス 4 2 B はそれぞれ 4 対のデータバスで構成され、各データバスは上述した I / O バス 2 6 及び P I O バス 4 4 の線の数と同一の 4 対のデータ線で構成されている。上部データバス 4 2 T を構成する 4 対のデータバス DB 0 ~ DB 3 と、下部データバス 4 2 B を構成する 4 対のデータバス DB 4 ~ DB 7 の右側端はデータ入出力マルチプレクサ 4 6 にそれぞれ接続され、データ入出力マルチプレクサ 4 6 はデータ入出力線 4 7 とデータ入出力バッファ 4 8 を通して入出力パッド (図示せず) にそれぞれ連結される。

【0032】各バンク 1 2、1 4 において、第 1 メモリセルアレイ 2 0 T L と関連した I / O センスアンプ及びラインドライバ 4 0 T L は、第 1 及び第 2 データバス DB 0、DB 1 と代る代る接続され、第 3 メモリセルアレイ 2 0 T R と関連した I / O センスアンプ及びラインドライバ 4 0 T R は第 3 及び第 4 データバス DB 2、DB 3 と代る代る接続される。同様に、第 2 メモリセルアレイ 2 0 B L と関連した I / O センスアンプ及びラインドライバ 4 0 B L は第 5 及び第 6 データバス DB 4、DB 5 と代る代る連結され、第 4 メモリセルアレイ 2 0 B R と関連した I / O センスアンプ及びラインドライバ 4 0 B R は第 7 及び第 8 データバス DB 6、DB 7 と代る代る連結されている。

【0033】中央 I / O センスアンプ及びラインドライバ 4 3 T、4 3 B は各バンク 1 2、1 4 において第 1 メモリセルアレイ 2 0 T L と第 3 メモリセルアレイ 2 0 T R との間及び第 2 メモリセルアレイ 2 0 B L と第 4 メモリセルアレイ 2 0 B R との間にある I / O バスとそれぞ

れ接続する。各バンク 1 2、1 4 において上部にある中央 I / O センスアンプ及びラインドライバ 4 3 T は読出し動作時に制御信号にตอบสนองして対応 I / O バス上のデータを増幅し、データバス DB 1 又は DB 3 に連結する作用をする I / O センスアンプと、書込み動作時に制御信号にตอบสนองしてデータバス DB 1 又は DB 3 上のデータを I / O バスに送出するラインドライバとから構成される。同様に、下部にある中央 I / O センスアンプ及びラインドライバ 4 3 B は第 4 及び第 8 データバス DB 5、DB 7 と接続されている。

【0034】例えば、第 1 バンク 1 2 内のサブアレイ 2 2 T L 3、2 2 B L 3、2 2 T R 3、2 2 B R 3 とこれらの各サブアレイ内の一本のワード線 (又はページ) が行アドレスにตอบสนองする行デコーダ 1 8 によって選択されると仮定すると、この行デコーダ 1 8 は各サブアレイ 2 2 T L 3、2 2 B L 3、2 2 T R 3、2 2 B R 3 を指定するブロック情報信号 (後述するが、図 2 6 に B L S として示す) を発生する。その後、読出し動作において、後述する制御回路 5 0 は、一つの外部列アドレスにตอบสนองして連続する列アドレスを発生し、この列アドレス流れ (stream) にตอบสนองして列デコーダ 2 4 は連続する列選択信号を発生する。この様な連続的列選択を行なうために、列クロックに対応するシフトレジスタ型のカウンタあるいはリング上のシフトレジスタの出力と通常行デコーダの出力と論理和を用いてもよい。この場合は、行デコーダの初期出力をシフトレジスタにセットする必要がある。

【0035】一番目の列選択信号 C S L 0 が列選択線 L 0 を選択すると仮定すると、図 3 にトランスファークロップとして示された対応列選択スイッチ 3 4 がターンオンして、対応ビット線対上に形成されたデータが前記各サブアレイの両側端に配置された左右側 I / O バスの第 1 I / O 線対 (I / O₀、バー I / O₀) 及び (I / O₁、バー I / O₁) に伝送される。I / O 線選択及びブリチャージ回路 3 8 T L、3 8 B L、3 8 T R、3 8 B R はブロック情報信号 B L S を入力してそれに対応する。選択されたサブアレイ 2 2 T L 3、2 2 B L 3、2 2 T R 3、2 2 B R 3 と関連する I / O 線選択及びブリチャージ回路 3 8 T L、3 8 B L、3 8 T R、3 8 B R は前記サブアレイと関連する左右側 I / O バスを選択する。

【0036】この左右側 I / O バス内にある第 1 I / O 線対上のデータは、対応 P I O 線対と前記ブロック情報信号 B L S にตอบสนองして発生した制御信号によってターンオンされた対応 I / O センスアンプを介して、対応データバス DB 0 ~ DB 7 内の対応データ線対に伝送される。しかし、このときデータ伝送のない I / O 線対、即ち第 2 I / O 線対とこれに連結された P I O 線対は前記 I / O ブリチャージ回路により全てブリチャージ状態にある。また、データを伝送しないデータ線対は後述のようにデータ入出力マルチプレクサ 4 6 によりブリチャー

ジされている。その後、列アドレス流れのうち2番目の列選択信号CSL1により対応列選択スイッチがターンオンされると、同様に前記左右側I/Oバス内の第2I/O線対と対応PIO線対及び対応データ線対に対応ビット線上のデータが伝送される。その反面、第1I/O線対及びこれらに連結されるPIO線対及びデータ線対はプリチャージされ、以後のデータを伝送するための用意をする。

【0037】列選択線L1上の列選択信号CSL1の次に列選択信号CSL2~CSL255が連続して列選択線L2~L255上に入力されると、列選択信号CSL0、CSL1の場合のデータ伝送動作が反復して行われる。従って、選択されたワード線と接続された全てのメモリセルから読み出されたビット線対上の全てのデータが読み出される。即ち、全てのページ読出し(full page read-out)が可能である。読出し動作において、第1I/O線対と第2I/O線対は、データの伝送とプリチャージを代る代る複数のデータを伝送し、第1及び第2I/O線対に関連する第1データ線対と第2データ線対も対応するデータ伝送とプリチャージを周期的に繰り返す。各データバスと接続したデータ出力マルチプレクサは第1及び第2データ線対のうちいずれか一つを通じて並列に伝送される複数のデータを貯蔵し、他のデータ線対をプリチャージする。よって、各データ出力マルチプレクサは第1及び第2データ線対上の複数のデータを予め予定された周期で先取り(prefetch)しつつ、データ選択信号に応答して連続する直列データを出力する。直列データをシステムクロックに同期して対応データ出力バッファを介してデータ入出力パッドに出力する。これにより、クロックサイクル毎に8ビットの並列データが連続出力される。

【0038】書き込み動作は上述した読出し動作と逆の順序で行われる。簡単に説明すれば、直列データはデータ入出力パッドを通じてデータ入力バッファからシステムクロックに同期して直列に出力される。データ入力バッファからの直列データは、各データ入力マルチプレクサによりクロックサイクルごとに複数の並列データとして対応データバスの第1及び第2データ線対に代る代る伝送される。第1又は第2データ線対上のデータは対応ラインドライバとI/O線選択回路によって選択されたI/Oバス及び対応ビット線対を通して選択されたメモリセルに順次書き込まれる。読出し動作におけるデータ伝送とプリチャージと同様に、同一バス内にある第1線対と第2線対のデータ伝送とプリチャージはクロックサイクルごとに交互に行われる。

【0039】第1バンク12と第2バンク14との間には本発明による同期DRAMの動作を制御するための制御回路50が配置される。制御回路50は行及び列デコーダ18、24と、I/O線選択及びプリチャージ回路38と、I/Oセンスアンプ及びラインドライバ40、

43と、データ入出力マルチプレクサ46と、データ入出力バッファ48を制御するための制御クロック及び信号を発生する働きをする。さらに、制御回路50は行制御回路と列制御回路に分けることができる。以下、制御回路50について、行制御回路、データ通路、及び列制御回路に分けて説明する。

【0040】行制御回路

通常の非同期DRAMは、バーRASの論理レベル、例えば論理“ロウ”によって読出し又は書き込みなどの動作を行うために活性化される。これを以下の説明ではレベルバーRASと称する。レベルバーRASは所定の情報、例えば論理“ハイ”から論理“ロウ”へのバーRASのレベル遷移は活性化を命令し、論理“ロウ”から論理“ハイ”へのバーRASのレベル遷移はプリチャージを命令する情報を提供している。しかし、同期DRAMはシステムクロックに同期して動作しなければならないので、通常のDRAMで使用する上記命令は同期DRAMでは使用できない。即ち、同期DRAMはシステムクロックの立上りエッジ(rising edge)又は立下りエッジ(falling edge)で命令情報をサンプリングすることが必要なので(本発明の実施例は立上りエッジで命令をサンプリングする)、レベルバーRASが同期DRAMで適用されるにしても、通常のレベルバーRASの命令は使用できない。

【0041】図6と図7は本発明による同期DRAMで使用する命令を示すタイミング図である。図6はパルス信号であるバーRAS信号(以下、パルスバーRASという)が使用される場合の各種の命令を示すもので、図7はレベルバーRASが使用される場合の各種命令を示すものである。

【0042】図6と図7から分るように、システムクロックCLKの立上りエッジでバーRASが論理“ロウ”で、バーCASと書き込みエネーブル信号バーWEが論理“ハイ”であれば活性化(アクティブ)される。また、活性化後のシステムクロックCLKの立上りエッジにおける論理“ハイ”のバーRAS、論理“ロウ”のバーCASと論理“ハイ”のバーWEは読出し命令を表す。また、活性化後のシステムクロックCLKの立上りエッジにおける論理“ハイ”のバーRAS、論理“ロウ”のバーCASと論理“ロウ”のバーWEを書込み命令を表す。システムクロックCLKの立上りエッジにおいて論理“ロウ”のバーRAS、論理“ハイ”のバーCASと論理“ロウ”のバーWEがサンプリングされた時にはプリチャージが行われる。また、本発明の特徴である動作モード設定命令の入力は、クロックCLKの立上りエッジでバーRAS、バーCAS、及びバーWEが全部論理“ロウ”の場合に行なわれる。また、バーCASビフォアバーRASリフレッシュ(バーCAS-before-バーRAS refresh:以下CBRとする)命令はCLKの立上りエッジでバーRASとバーCASが論理“ロウ”

で、バーWEが論理“ハイ”の場合に入力される。セルフリフレッシュ (self refresh) 命令はCBRの変種であって、クロックCLKの連続する3つの立上りエッジでバーRASとバーCASが論理“ロウ”で、バーWEが論理“ハイ”の場合に入力される。

【0043】同期DRAMも通常の非同期DRAMと同様に、バーRASの活性化からバーCASの活性化(論理“ロウ”)までの期間、即ちバーRAS-バーCAS遅延時間 t_{RC} とバーRASの活性化前のブリチャージ期間、即ちバーRASブリチャージ時間 t_{BR} を固有に有している。有効なデータの書き込みと読出しを保障するため、これら t_{RC} と t_{BR} の最小値(本発明の同期DRAMでそれぞれ20nsと30ns)はメモリシステムの設計者にとって重要である。同期DRAMにおいてはシステム設計者の便宜を図るため、システムクロック周期で正規化して t_{RC} と t_{BR} の最小値をシステムクロックサイクルの数として提供するのが望ましい。例えば、システムクロック周波数が100MHzで t_{RC} と t_{BR} の最小値がそれぞれ20nsと30nsである場合、 t_{RC} と t_{BR} のクロックサイクルはそれぞれ2と3になる。行制御回路は、前述した t_{RC} の期間中にワード線を選択し、読出し動作でメモリセルからの情報をビット線に送出し、そして、この t_{BR} の期間中にブリチャージをするための信号又はクロックを発生する手段である。

【0044】図4は本発明による行制御クロック又は信号を発生するための概略的ブロック図である。図4において、クロック(CLK)バッファ52はTTLレベルの外部システムクロックCLKにตอบสนองしてCMOSレベルの内部システムのクロック信号 ϕ_{CLK} に変換するためのバッファである。同期DRAMはこのクロック信号 ϕ_{CLK} の立上りエッジでチップ外部からの信号又はチップ外部に送り出すデータをサンプリングする各種の内部動作が行われる。また、クロックバッファ52はクロックCLKにตอบสนองしてクロック信号 ϕ_{CLK} の位相より速いクロックCLKAを発生する。

【0045】クロックエネーブル(CKE)バッファ54は外部クロックエネーブル信号CKEと前記クロックCLKAにตอบสนองしてクロック信号 ϕ_{CLK} の発生を遮断(マスク)するためのクロックマスク信号 ϕ_{CKE} を発生する回路である。後述するように、クロックマスク信号 ϕ_{CKE} により立ち上がりを止められた内部システムのクロック信号 ϕ_{CLK} によって、チップの内部動作が中止されデータの入出力が一時停止(Freezing)される。

【0046】バーRASバッファ56は外部信号バーRASと、アドレス信号SRA10、SRA11とバーCASバッファ信号 ϕ_C 及びバーWEバッファ信号 ϕ_{WE} を入力してクロック信号 ϕ_{CLK} に同期してバンクを選択的に活性化し、且つ前記バンクを選択的に又は全体的にブリチャージし、リフレッシュ又は動作モードプログラム

後に自動的にブリチャージさせるバーRASクロック信号 ϕ_{RCL} を発生する。ここで、iはバンク表示符号である。また、バーRASバッファ56はクロック信号 ϕ_{CLK} によりバーRASの状態をサンプリングしたバーRASパルス信号 ϕ_{R} を発生する。

【0047】動作モード設定回路58は、動作モード設定命令と上記バーRASパルス信号 ϕ_{R} 、バーCASバッファ信号 ϕ_C 、及びバーWEバッファ信号 ϕ_{WE} とアドレス信号RA0~RA6にตอบสนองして種々の動作モード、例えばバーCAS待ち時間信号CLJと連続して出力されるデータの個数を表す動作モード信号SZバーnと、内部列アドレスをスクランブルする方式を表す列アドレッシングモード信号 ϕ_{RSEL} を設定する機能を有する。さらにまた、動作モード設定回路58は前記動作モードの設定命令がない時に予定されたバーCAS待ち時間、バースト長及びアドレスモードが自動的に選択される欠落補充(Default)動作モードを設定する。

【0048】行マスタクロック発生回路62はバンク選択信号のバーRASクロック信号 ϕ_{RCL} と前記待ち時間信号CLJにตอบสนองして選択されたバンクでバーRASチェーンに関わるクロック又は信号の発生に根拠となる行マスタクロック信号 ϕ_{RL} を発生する。本発明の特徴的働きにより、行マスタクロック信号 ϕ_{RL} は待ち時間値jに依存する時間遅延を有し、またこの時間遅延はブリチャージ命令後に、システムクロックに同期した2ビットのデータ出力を保障する。

【0049】行アドレスバッファ60は前記行マスタクロック信号 ϕ_{RL} と外部アドレス信号A₀~A₁₁と後述する行アドレスリセットクロック信号 ϕ_{ARL} を入力し、クロック信号 ϕ_{CLK} に同期して行アドレス信号RA0~RA11も発生する。また、この行アドレスバッファ60はリフレッシュ時にリフレッシュ計数器からの計数信号を入力し、リフレッシュのための行アドレス信号RA0~RA11を出力する。行制御信号発生回路64は行マスタクロック信号 ϕ_{RL} と行デコーダ18からのブロック情報信号BLSを入力し、昇圧されたワード線駆動信号 ϕ_{WL} と、選択されたセンスアンプを活性化するためのセンシング開始信号 ϕ_{S} と、行アドレスバッファ60をリセットするための行アドレスリセットクロック信号 ϕ_{ARL} と、列アドレスバッファ344をパワーオンする列アドレスバッファエネーブル信号 ϕ_{ALE} と、行関連クロック又は信号の完了を知らせるバーRASチェーン終了通知信号 ϕ_{RCOL} とを発生する。

【0050】列エネーブルクロック発生回路66は、行関連クロック又は信号の完了を知らせることによって、後述するバーRAS-バーCAS遅延時間 t_{RC} を保障するバーRASチェーン終了通知信号 ϕ_{RCOL} と行マスタクロック信号 ϕ_{RL} を入力し、列関連回路をエネーブルするための列エネーブル信号 ϕ_{RCL} と列エネーブル信号 ϕ_{REL} を発生する。高周波数クロック発生回路68は、外

部システムクロックCLKの周波数が低く、プリチャージ命令後の読出し動作で2ビットのデータ出力が要求された時、プリチャージ期間の縮小を防止するためクロックCLKの周波数より高い周波数のクロックCNTCLK9を発生する。後述するように、列アドレス発生回路は前記クロックCNTCLK9に基づいて列アドレスを発生するので、プリチャージ期間の縮小が防止される。次に、バーRASチェーンクロック発生部を構成する構成要素の具体的な実施例を詳細に説明する。

【0051】1. CLKバッファ及びCKEバッファ
図8は本発明によるCLKバッファ52の具体回路図、図9は本発明によるCKEバッファ54の具体回路図、図10は前記CLKバッファ52とCKEバッファ54の動作タイミング図である。

【0052】図8において、差動増幅器のような入力バッファ70aは、外部システムクロックCLKを基準電圧 V_{ref} (=1.8V)と比較することによって、外部TTLレベルの信号を内部CMOSレベルの信号、例えば約3Vの論理“ハイ”又は0Vの論理“ロウ”の信号に変換する。この入力バッファ70aは差動増幅器の代りにTTL信号をCMOS信号にレベルシフトできる他の入力バッファ回路でも使用可能である。図10に示されたように、クロックCLKAは、差動増幅器のような入力バッファ70とゲート、例えばインバータ76とNANDゲート78を通じてシステムクロックCLKに反転されたクロック信号である。NORゲート72、74で構成されたフリップフロップ又はラッチ80はクロックマスキング信号 ϕ_{cke} が論理“ロウ”のとき、CMOSレベルの内部システムクロック信号 ϕ_{clk} を出力する。フリップフロップ80の出力クロックは遅延回路82とNANDゲート84で構成されるパルス幅調整回路85に供給される。遅延回路82は図示の簡略化のためインバータだけが示されているが、インバータとキャパシタで構成された回路又は他の遅延回路も使用可能である。従って、クロックマスキング信号 ϕ_{cke} が論理“ロウ”のとき、図10に示すような内部システムクロック信号 ϕ_{clk} がCLKバッファ52から出力される。しかし、クロックマスキング信号 ϕ_{cke} が論理“ハイ”のときにはフリップフロップ80の出力は論理“ロウ”となり、内部システムクロック信号 ϕ_{clk} の発生が中断される。図8において、インバータ89、Pチャネルトランジスタ90、及びNチャネルトランジスタ91、94はパワーオン(又はパワーアップ)信号 ϕ_{vcc} に応答して必要なノードに初期条件を提供するための構成要素である。公知のパワーオン回路からのパワーオン信号 ϕ_{vcc} は電源が印加された後、電源供給電圧 V_{cc} が十分なレベルに至るまで論理“ロウ”を維持する。

【0053】図9において、入力バッファ70bは外部クロックエネーブル信号CKEをCMOSレベルに変換する。電力消費を防止するためセルフリフレッシュで論

理“ハイ”を維持するセルフリフレッシュ信号 ϕ_{self} により入力バッファ70bの動作が遮断される。入力バッファ70bは前記信号CKEの反転されたCMOSレベルの信号を線93上に供給する。反転された信号CKEはクロックCLKの反転クロックCLKAをもってシフトするシフトレジスタ86に連結される。シフトレジスタ86の出力はNOR形のフリップフロップ88とインバータを通じてクロックマスキング信号 ϕ_{cke} の出力端子95に接続される。シフトレジスタ86の出力端子92はインバータを介して信号CKEBPUの出力端子に接続される。

【0054】クロックエネーブル信号CKEは論理“ロウ”の信号により内部システムクロック信号 ϕ_{clk} の発生が遮断されるので、チップの内部動作を一時停止させる。図10において、クロックCLK98をマスキングするための論理“ロウ”のクロックエネーブル信号CKEが示されている。クロックエネーブル信号CKEが論理“ロウ”になることにより、シフトレジスタ86の入力である線93は論理“ハイ”になる。その後、クロックCLKA100が論理“ロウ”になるとシフトレジスタ86の出力は論理“ハイ”となる。従って、クロックマスキング信号 ϕ_{cke} と信号CKEBPUはそれぞれ論理“ハイ”と“ロウ”状態になる。その後、次のクロックCLKA102が論理“ロウ”になった後にシフトレジスタ86の出力は論理“ロウ”に変わり、その結果信号CKEBPUは論理“ハイ”となる。このとき、フリップフロップ88の出力は論理“ロウ”を維持しているので、クロックマスキング信号 ϕ_{cke} は論理“ハイ”を維持する。しかし、その次のクロックCLKA104が論理“ハイ”になってからクロックマスキング信号 ϕ_{cke} は論理“ロウ”論理になる。そこで、図8について説明したように論理“ハイ”の信号クロックマスキング信号 ϕ_{cke} によりクロック98に対応する内部システムクロック信号 ϕ_{clk} がマスキングされる。

【0055】同期DRAMの内部動作は前記クロック信号 ϕ_{clk} に同期して動作するので、内部システムクロック信号 ϕ_{clk} のマスキングは内部動作が待機状態となるようにする。従って待機状態で電力消費の防止のため、信号CKEBPUは内部システムクロック信号 ϕ_{clk} に同期する入力バッファをディスエーブルするために使用される。また、クロックエネーブル信号CKEはシステムクロックCLKをマスキングするために、マスクされるクロックCLKの少なくとも一つのサイクル前に印加されなければならない。そして、同期DRAMの正常動作のためクロックエネーブル信号CKEは論理“ハイ”でなければならない。

【0056】2. バーRASバッファ

本発明の同期DRAMは、高速データ伝送率を達成するために同一チップ上に2個のメモリバンク12、14を有している。そこで、同期DRAMの高性能を達成する

ため、各バンク12、14に対する多くの動作を選択的に制御する制御回路が必要である。従って、本発明によるバーRASバッファは多様な機能が合併された入力バッファである。

【0057】図11は本発明による多機能パルスバーRAS入力バッファを示す具体回路図である。図11において、上述した入力バッファと同様に入力バッファ70cは外部行アドレスストロブ信号バーRASを内部CMOSレベルの信号に変換するものである。また、入力バッファ70cはシステムクロックマスキングCKE BPU、セルフリフレッシュ信号 ϕ_{SELF} 、及びパワーオン信号 ϕ_{VCC} を組み合わせたゲート回路106の出力によってディスエーブルされる。入力バッファ70cからのCMOSレベル信号は同期回路108の入力端子110に供給される。同期回路108はCMOSレベル信号を内部システムクロック信号 ϕ_{CLK} に同期させるバーRASパルス信号 ϕ_{R} を出力端子112に提供する。即ち、図12に示したように、時間 t_1 と t_2 で論理“ロウ”のバーRASは、出力端子112に論理“ハイ”のバーRASパルス信号 ϕ_{R} を所定時間遅延させて発生させるようになっている。

【0058】図11において、入力バッファ70c、同期回路108、及びゲート回路106を除いた他の回路は各バンク12、14を制御するためにこれらの回路に結合した多機能制御回路114である。パワーオン動作時に論理“ロウ”のパワーオン信号 ϕ_{VCC} によりNチャネルトランジスタ148、150は共にターンオンされるので、第1バンク12用の第1バーRASクロック信号 ϕ_{RC1} と第2バンク14用の第2バーRASクロック信号 ϕ_{RC2} はラッチ154、156により両方共に初期条件が論理“ロウ”にラッチされる。

【0059】第1バンク12を活性化すると同時に第2バンク14を非活性化するため、図12に示す時間 t_1 において論理“ロウ”のアドレス A_{11} を有する外部アドレス信号ADDがチップに供給される。すると、後述する行アドレスバッファはこのアドレス信号ADDから論理“ロウ”のアドレス信号SRA11（バーSRA11は論理“ハイ”）を発生する。一方、時間 t_1 においてバーCASとバーWEは全部論理“ハイ”を維持しているので、後述するようにバーCASバッファ信号 ϕ_C とバーWEバッファ信号 ϕ_{WE} はすべて論理“ロウ”を維持する。従って、NORゲート116、126は共に論理“ロウ”を出力し、NANDゲート122、124は共に論理“ハイ”を発生する。そこで、NANDゲート128と130はそれぞれ論理“ハイ”及び論理“ロウ”を出力する。バーRASパルス信号 ϕ_{R} が論理“ハイ”になるとNANDゲート132は論理“ロウ”を発生し、NANDゲート134、136、138は論理“ハイ”を発生する。すると、Pチャネルトランジスタ140はターンオンされ、Pチャネルトランジスタ14

4とNチャネルトランジスタ142、146は全てオフ状態を維持する。従って、ラッチ154は論理“ロウ”を貯蔵する。一方、バーRASパルス信号 ϕ_{R} が論理“ロウ”になるとNANDゲート132、134、136、138は全部論理“ハイ”を発生し、これによってトランジスタ140、142、144、146は全てターンオフされる。結局、第1バーRASクロック信号 ϕ_{RC1} は論理“ハイ”となり、第2バーRASクロック信号 ϕ_{RC2} は初期条件で論理“ロウ”を貯蔵しているラッチ156により論理“ロウ”を維持する。このようにして、第1バンク12は第1バーRASクロック信号 ϕ_{RC1} によって活性化され、書込み又は読出し動作などの正常動作を行なう。しかし、第2バンク14は論理“ロウ”の第2バーRASクロック信号 ϕ_{RC2} によって活性化されない。

【0060】一方、高速伝送率で同期DRAMをアクセスするために、第1バンクの活性化中に第2バンクを活性化することができる。これは第1バンクの活性化後に論理“ハイ”のアドレス A_{11} を印加しつつ、第2バンクを活性化することで達成される。この場合、アドレス信号SRA11は論理“ハイ”になる（バーSRA11は論理“ロウ”になる）。上述したように、NANDゲート136は論理“ロウ”を発生し、NANDゲート132、134、138は全部論理“ハイ”を出力する。従って、クロック信号 ϕ_{RC1} は以前の状態すなわち論理“ハイ”を維持し、クロック信号 ϕ_{RC2} は論理“ハイ”になる。こうして、第1及び第2バンクが共に活性化状態にある。

【0061】第2バンクの読出しもしくは書込み動作中に、第1バンクもプリチャージされるようにすることができる。図12に示された時間 t_2 でプリチャージ命令が発する時、又はその前に共に論理“ロウ”の外部アドレス A_{10} と A_{11} がチップの対応アドレスピンに印加されると、アドレス信号SRA10とSRA11は共に論理“ロウ”になる（バーSRA11は論理“ハイ”になる）。この命令後、バーRASパルス信号 ϕ_{R} とバーWEバッファ信号 ϕ_{WE} は全部論理“ハイ”になり、バーCASバッファ信号 ϕ_C は論理“ロウ”になる。結局、バーRASパルス信号 ϕ_{R} が論理“ハイ”になる時にNANDゲート134は論理“ロウ”になり、NANDゲート132、136、138は全て論理“ハイ”を維持する。従って、トランジスタ142はターンオンされ、トランジスタ140、144、146は全部オフ状態を維持する。ラッチ154は論理“ハイ”を貯蔵し、第1バーRASクロック信号 ϕ_{RC1} は論理“ロウ”になる。しかし、第2バーRASクロック信号 ϕ_{RC2} は以前状態である論理“ハイ”をラッチ156により維持する。こうして、論理“ロウ”の第1バーRASクロック信号 ϕ_{RC1} は第2バンク14がデータアクセスを進めている間に第1バンク12はプリチャージされる。同様に、第2

バンクのプリチャージはプリチャージ命令と論理“ロウ”のアドレス A_{i0} と論理“ハイ”のアドレス A_{i1} が印加されることで達成可能である。

【0062】一方、第1及び第2バンク12、14の同時プリチャージは、アドレス A_{i1} の論理レベルに無関係に論理“ハイ”のアドレス A_{i0} とプリチャージ命令を印加することで達成されることが出来る。上述と同様に、NANDゲート134、138は論理“ロウ”を発生し、NANDゲート132、136は論理“ハイ”を発生する。従って、トランジスタ142、146はターンオンされ、トランジスタ140、144はオフ状態を維持する。その結果、ラッチ154、156は論理“ハイ”のプリチャージ情報をそれぞれ貯蔵し、第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は論理“ロウ”になる。

【0063】CBRリフレッシュ命令は、図6に示したように論理“ロウ”のバーRASとバーCASと論理“ハイ”のバーWEによって与えられる。そこで、論理“ハイ”のバーCASバッファ信号 ϕ_c と論理“ロウ”のバーWEバッファ信号 ϕ_{rc} が多機能制御回路114に入力される。この場合、アドレス A_{i0} と A_{i1} の論理レベルに関係なく、NANDゲート124とNORゲート126は論理“ロウ”を発生する。結局、NANDゲート132、136は全部論理“ロウ”を発生し、NANDゲート134、138は論理“ハイ”を発生する。従って、トランジスタ140、144は全部ターンオンされ、トランジスタ142、146はターンオフされる。すると、第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は全部論理“ハイ”になり、2個のバンクはCBRリフレッシュを行なう。一方、この二つのバンクに対して選択的CBRリフレッシュを行なうためにはNANDゲート124の2つの入力端子のうちいずれか一つの接地電位 V_{ss} 端に連結すればよい。また、上述したようにアドレス A_{i1} の論理状態に従って第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} が選択的にエネーブルされることが出来る。即ち、CBRリフレッシュ命令下にアドレス A_{i1} が論理“ロウ”であれば、第1バンクのみがリフレッシュされる。

【0064】3. 行アドレスバッファ

図14は本発明による行アドレスバッファ60の具体回路図である。同図において、入力バッファ70dは上述した入力バッファと同様に入力アドレス信号AI ($I=0\sim 11$)をCMOSレベルのアドレス信号に変換する。同図には入力バッファ70dをディスエーブル又はエネーブルするための制御信号RABPUを発生する論理回路158も示している。制御信号RABPUは、上述したように2個のバンクが両方とも活性化された時、又はシステムクロックマスキング動作がエネーブルされた時、あるいはリフレッシュ動作が開始された時に論理

“ハイ”となり、これによって入力バッファ70dは電力消費を防止するためにディスエーブルされる。この入力バッファ70dの出力端子161とノード162との間には出力が論理“ロウ”、論理“ハイ”、浮動の3状態に変化する3状インバータ160が接続している。インバータ160はリフレッシュ動作中には論理“ロウ”のリフレッシュ信号 ϕ_{rf} によりオフ状態にある。読出し又は書込み動作のような正常動作において、インバータ160は行アドレス信号を内部システムクロック信号 ϕ_{clk} と同期させて出力し、この行アドレス信号をラッチ164に貯蔵する。ノード166にはバンクの数によって定められる複数の行アドレス提供回路が接続される。本発明の実施例では2個のバンクが使用されるので、2個の行アドレス提供回路168、170がノード166に並列に接続されている。第1バンク12用の行アドレス提供回路168はNORゲート174、インバータ176、180、伝送ゲート172、ラッチ178、及びNANDゲート182、184で構成されている。第2バンク14用の行アドレス提供回路170は上記行アドレス提供回路168の構成と同様である。リフレッシュアドレス提供回路198は行アドレス提供回路168、170に接続されており、リフレッシュ動作でリフレッシュ計数器(図示せず)からの計数値RCNTIを選択されたバンクに従って、この行アドレス提供回路168、170に供給するためのものである。

【0065】ここで、第1バンク12が非活性化状態で、第2バンク14が書込み又は読出し動作などの正常状態にあると仮定する。すると、第1バンクの行マスタクロック信号 ϕ_{r1} と第1バンクの行アドレスリセットクロック信号 ϕ_{rs1} は論理“ロウ”で、第2バンクの行マスタクロック信号 ϕ_{r2} と第2バンクの行アドレスリセットクロック信号 ϕ_{rs2} は論理“ハイ”となる。図12に示された時間 t_1 において、第1バンク12が活性化されると、前記行マスタクロック信号 ϕ_{r1} が論理“ハイ”になる前にラッチ164に予め貯蔵されている行アドレスは、共に論理“ロウ”である行マスタクロック信号 ϕ_{r1} 、行アドレスリセットクロック信号 ϕ_{rs1} によりターンオンされた伝送ゲート172を通じてラッチ178に貯蔵される。しかし、この場合に行マスタクロック信号 ϕ_{r2} は論理“ハイ”の状態なので伝送ゲート172'は以前のオフ状態を維持し、前記行アドレスが伝送ゲート172'を通して伝送されるのを防止する。その後、行マスタクロック信号 ϕ_{r1} が論理“ハイ”の時、行アドレス提供回路168は伝送ゲート172によりラッチ164の出力と分離される。その後第1バンクの行アドレスリセット信号 ϕ_{rs1} が論理“ハイ”となる時、NANDゲート182、184はラッチ178に貯蔵された行アドレス情報とその反転情報をそれぞれ出力する。その結果、伝送ゲート172からの行アドレスRAIと行アドレスバーRAIは第1バンク12の行デコーダに供給さ

れる。この行マスタクロック信号 ϕ_{11} と行マスタクロック信号 ϕ_{12} が共に論理“ハイ”のときに制御信号RABPUは論理回路158により論理“ハイ”となり、これによって全てのバンクの活性化又は正常動作による電力消費を防止するために入力バッファ70dがディセーブルされる。

【0066】一方、CBR又はセルフリフレッシュのようなりフレッシュにおいて、リフレッシュ信号 ϕ_{rf} は論理“ロウ”で、リフレッシュ信号 ϕ_{rf} は論理“ハイ”である。第2バンクのリフレッシュの場合、上述したように第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は共に論理“ハイ”にあり、図19と関連して後述されるように第1バンクの行マスタクロック信号 ϕ_{11} と第2バンクの行マスタクロック信号 ϕ_{12} も論理“ハイ”にある。また、第1バンクの行アドレスリセットクロック信号 ϕ_{ras1} と第2バンクの行アドレスリセットクロック信号 ϕ_{ras2} も論理“ハイ”にある。従って、入力バッファ70と3状インバータ160はオフ状態になる。そして、伝送ゲート172、172'、194、もオフ状態で、伝送ゲート188、188'はオン状態にある。従って、このリフレッシュ動作前に論理“ロウ”のリフレッシュ信号 ϕ_{rf} によりターンオンされた伝送ゲート194を通じてラッチ192に貯蔵された公知のアドレス計数器（図示せず）からの計数アドレス信号RCNTIが、伝送ゲート188、188'、ラッチ178、178'、及びNANDゲート182、184、182'、184'を通じて各バンク12、14に対応する行デコーダに供給される。この後の各行デコーダのワード線選択とリフレッシュ動作は公知のDRAM動作と同一である。

【0067】多機能バーRASバッファで使用されるアドレスSRA10、SRA11として行アドレスバッファ60から出力される行アドレスRA10とRA11を使用することもできる。しかし、この場合、このアドレスRA10とRA11は時間的に多少遅れるので、速度のより速い行アドレスバッファがアドレスSRA10と

SRA11の発生のために、別途に同一チップ上に必要となる。

【0068】4. 動作モード設定回路

本発明による同期DRAMは応用範囲を拡張し使用の便宜を図るため、各種動作モードの中で所望のモードをシステム設計者が選択できるように設計されている。図15は動作モード設定回路58のブロック図である。同図において、動作モード設定制御信号発生回路200は動作モードの設定命令時に発生したバーCASバッファ信号 ϕ_c 、バーRASパルス信号 ϕ_r 、及びバーWEバッファ信号 ϕ_{we} にตอบสนองしてモード設定信号 ϕ_{ms} を発生する。アドレスコードレジスタ202は前記モード設定信号 ϕ_{ms} とパワーオン回路203からのパワーオン信号 ϕ_{vcc} にตอบสนองして、図14の行アドレスバッファ60からのアドレスに依存するアドレスコードMDST0～MDST6を貯蔵し、この中のアドレスコードMDST0～MDST2とMDST4～MDST6及び列アドレスモード信号 ϕ_{rel} を発生する。バースト長論理回路204はアドレスコードMDST0～MDST2の論理組合によって発生された動作モード信号SZバーnを発生する。ここで、nはシステムクロックサイクルの数で表すバースト長である。待ち時間論理回路206は前記アドレスコードMDST4～MDST6の論理組合により選択されたバーCAS待ち時間信号CLjを発生する。ここで、jはシステムクロックサイクル数として示されるバーCAS待ち時間（又はバーCAS待ち時間値）を露している。

【0069】図16は動作モード設定制御信号発生回路200の具体回路図で、図22は動作モード設定又はプログラムに係るタイミング図である。本実施例において、動作モードをプログラムすることは、動作モード設定命令と下記の表1のようにアドレス入力ピンにアドレスA₀～A₇を同時に印加することで行なわれる。

【0070】

【表1】

バーCAS待ち時間j				列アドレッシング方式		バースト長さ n			
A6	A5	A4	j	A3	方式	A2	A1	A0	n
0	0	1	1	0	バイナリー	0	0	1	2
0	1	0	2			0	1	0	4
0	1	1	3	1	インタリーブ	0	1	1	8
1	0	0	4			1	1	1	512

また、最大システムクロック周波数に関するバーCAS待ち時間jの最小選択値は下記の表2の通りである。

【0071】

【表2】

最大システムクロック周波数 (MHz)	パーCAS待ち時間j (クロックサイクル値)
33	1
66	2
100	3

上記表1、表2でパーCAS待ち時間値jはシステムクロックサイクル数を示している。また、最大システムクロック周波数に関する待ち時間値は同期DRAMの動作速度により変更することができる。

【0072】例えば、システムの設計者が100MHzでバイナリ列アドレッシング方式と連続する8ワードのデータアクセスを有するメモリシステムを設計しようとする場合、パーCAS待ち時間jの最小選択値は3である。3の待ち時間値が選択されると、動作モード設定のためのアドレスA₀～A₇は11001100である。バンク選択がアドレスA₁であったのは既に説明した。残りのアドレスはどのような値でもバンク選択とは無関係である。

【0073】データ伝送システムに適合した動作モードが選択され、このモード設定のためのアドレスが決定された後、同期DRAMのモード設定プログラムが行なわれる。モード設定命令と決定されたアドレスがチップの対応ピンに印加される。図22を参照して説明すると、時間t₁においてモード設定命令とアドレスADDが印加されると、パーRASバッファからのパーRASパルス信号φ_rと後述するパーCASバッファ信号φ_cとパーWEバッファ信号φ_wがすべて論理“ハイ”になる。図16に示す動作モード設定制御信号発生回路200において、全部論理“ハイ”であるパーCASバッファ信号φ_c、パーRASパルス信号φ_r、及びパーWEバッファ信号φ_wは、モード設定制御信号パーφ_{cas}を論理“ロウ”にせしめる。その後、行アドレスリセットクロック信号φ_{ras}が論理“ハイ”のとき、行アドレスバッファは行アドレスRA0～RA7を発生する。従って、NANDゲート208の3個の入力は全部論理“ハイ”となり、これによってモード設定信号φ_{ms}は論理“ハイ”になる。

【0074】図17にはアドレスコードレジスタ202の具体回路図を示す。アドレスコードレジスタ202はパワーオン時に論理“ロウ”を貯蔵し、パワーアップ後にモード設定動作でモード設定信号φ_{ms}に、応答してアドレス信号RA0、RA2～RA4、及びRA6を貯蔵するための第1レジスタユニットと、パワーオン時に論理“ハイ”を貯蔵し、パワーアップ後にモード設定動作でモード設定信号φ_{ms}に、応答してアドレス信号RA1とRA5を貯蔵するための第2レジスタユニットから構成されている。

【0075】それぞれの第1レジスタユニットは、Pチ

ヤネルトランジスタ212、214とNチャネルトランジスタ216、218で構成された3状インバータ210と、このインバータの出力端子に接続したラッチ222と、チャネルがこの出力端と電源供給電圧V_{cc}との間に接続しゲートがパワーオン信号φ_{vcc}に接続したPチャネルトランジスタ220とから構成される。パワーオン信号φ_{vcc}は電源の印加後に電源が内部正常動作を遂行する最小動作電圧に至るまでの、即ちパワーオン時は“ロウ”なので各第1レジスタユニットはパワーオン時にPチャネルトランジスタ220の導通により、対応アドレスコードMDSTI又は列アドレッシングモード信号φ_{intel}を論理“ロウ”に設定する。それぞれの第2レジスタユニットはPチャネルトランジスタ212'、214'とNチャネルトランジスタ216'、218'で構成された3状インバータ210'と、チャネルがこのインバータの出力端と基準電圧（接地電圧）端との間に接続し、ゲートがパワーオン信号φ_{vcc}の反転信号に連結されたNチャネルトランジスタ219と、インバータ210'の出力端に接続したラッチ222'とから構成される。各第2レジスタユニットはパワーオン時、アドレスコードMDSTI又はMDST5が論理“ハイ”にラッチされるようにする。

【0076】しかし、電源電圧V_{cc}が上記最小動作電圧に到達した、即ちパワーアップ後、前記第1、第2レジスタユニットは、モード設定動作においてパワーオン信号φ_{vcc}は論理“ハイ”であるのでインバータ210、210'はモード設定信号φ_{ms}の論理“ハイ”に、応答してターンオンされ、ラッチ222、222'は行アドレスバッファ60からの行アドレスRAIを貯蔵し、この行アドレスRAIと同一のアドレス値を有するアドレスコードMDSTIを出力する。従って、モード設定プログラムが行なわれると、各アドレスコードMDSTIは対応アドレスと同一の値となる。なお、アドレス信号RA3に対応するMDST3は列アドレッシング方式を表す列アドレッシングモード信号φ_{intel}を示す。A3=0（論理“ロウ”）であれば、列アドレッシングモード信号φ_{intel}は論理“ロウ”となり、後述する列アドレス計数器がバイナリ増加方式として計数する。A3=1（論理“ハイ”）であれば、列アドレッシングモード信号φ_{intel}は論理“ハイ”となり後述されるインタリーブモードを示す。

【0077】図18は待ち時間論理回路206の具体回路図である。待ち時間論理回路206はパーCAS待ち時間と関連するアドレスコードMDST4～MDST6の論理組合せにより待ち時間信号CL1～CL4のうちいずれか一つを論理“ハイ”となるようにする。パワーオン時にMDST5は論理“ハイ”で、MDST4とMDST6は論理“ロウ”であるのでCL2だけが論理“ハイ”となる。図19はバースト長論理回路204の具体回路図である。バースト長論理回路204は、パー

スト長に係るアドレスコードMDST0～MDST2の論理組合せによりバースト長を示す信号SZバー2～SZバー512のうちいずれか一つを選択する。例えば、アドレスコードMDST0～MDST2が全部論理“ハイ”であれば、信号SZバー2～SZバー512の中で信号SZバー512のみが論理“ハイ”で、信号SZ4～SZ512はすべて論理“ハイ”となる。従って、後述するように前記信号に応答して連続する512ワード (full page)がデータ出力バッファを介して出力される。パワーオン時にMDST1は論理“ハイ”で、MDST0とMDST2は論理“ロウ”なのでバースト長信号SZバー4とSZ4のみが論理“ハイ”となる。

【0078】結果的に、モード設定信号 ϕ_{ms} が論理“ハイ”のとき各ラッチ222、222'に対応アドレスが貯蔵されることによって選択された動作モードが決定される。アドレスコードが対応ラッチ222、222'に貯蔵された後、本発明の特徴である自動ブリチャージ動作が行なわれる。別途のブリチャージ命令のなしに高速ブリチャージを行えるようにすることにより、ブリチャージ時間を短縮化できるので、次の動作、例えば活性化動作が待機時間なしに迅速に行なわれるようになる。

【0079】図20は、セルフリフレッシュから抜け出る時、又はモード設定プログラムで自動ブリチャージを行なう時のための自動ブリチャージ制御信号発生回路223を示す図である。同図において、セルフリフレッシュ信号 ϕ_{self} はセルフリフレッシュで“ハイ”レベルにあり、セルフリフレッシュ以外の時間では論理“ロウ”にある。従って、モード設定プログラムでNANDゲート224の出力は論理“ハイ”である。図22に示すように、行アドレスリセットクロック信号 ϕ_{ars} が論理“ハイ”になるとNORゲート232の出力は論理“ハイ”になる。このとき、内部システムクロック信号 ϕ_{clk} は論理“ロウ”にある。その後、内部システムクロック信号 ϕ_{clk} が論理“ハイ”になると、遅延回路230によって定められる時間遅延後にNANDゲート226の出力は論理“ロウ”から論理“ハイ”になる。その結果、図22に示したように自動ブリチャージ制御信号発生回路223は論理“ロウ”の短いパルスをも有する自動ブリチャージ信号 ϕ_{br} をモード設定信号 ϕ_{ms} が論理“ハイ”になった後発生する。同様に、セルフリフレッシュ動作の終了時にセルフリフレッシュ信号 ϕ_{self} は論理“ハイ”から論理“ロウ”に移され、自動ブリチャージ制御信号発生回路223は短い“ロウ”パルスをも有する自動ブリチャージ信号 ϕ_{br} を発生する。図11において、自動ブリチャージ信号 ϕ_{br} はNANDゲート152に入力される。そこで、NANDゲート152はこの“ロウ”パルスにより“ハイ”パルスを発生し、Nチャネルトランジスタ148、150をターンオンする。ラッチ154、156は論理“ハイ”を貯蔵

し、第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} を論理“ロウ”になるようにする。第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} がいったん論理“ロウ”になると、行マスタクロック信号 ϕ_{rl} と行アドレスリセットクロック信号 ϕ_{ars} は順次に論理“ロウ”になってブリチャージ動作が行なわれる。

【0080】一方、モード設定プログラムなしに本発明の同期DRAMが使用されると(これを欠落補充動作モードと称する)、パワーオン時にパワーオン信号 ϕ_{ccs} により図17に示すPチャネルトランジスタ220とNチャネルトランジスタ219がターンオンされる。従って、ラッチ222は論理“ロウ”を貯蔵し、ラッチ222'は論理“ハイ”を貯蔵する。そして、アドレスコードMDSTI (I=0、2、4、6)と列アドレッシングモード信号 ϕ_{itel} は論理“ロウ”になり、コードMDST1とMDST5は論理“ハイ”になる。結局、欠落補充動作モードで2のバーCAS待ち時間とバイナリーアドレスモードと4のバースト長が自動的に選択される。

【0081】5. 行制御信号発生回路

図21はバーRASバッファ56からのバーRASクロック信号 ϕ_{rc1} にตอบสนองして行マスタクロック信号 ϕ_{rl} を発生する行マスタクロック発生回路62の具体回路図である。図12に示されたように、第iバンクが活性化されるとバーRASクロック信号 ϕ_{rci} は論理“ハイ”になり、その後第iバンクの行マスタクロック信号 ϕ_{ri} はNORゲート234とインバータを介して論理“ハイ”になる。しかし、バンク切替え、又は一時的待機に伴って、ブリチャージをするため第iバンクのバーRASクロック信号 ϕ_{rci} が論理“ロウ”になると、行マスタクロック信号 ϕ_{ri} は各バーCAS待ち時間に従って異なる時間遅延後に論理“ロウ”になる。バーCAS待ち時間値jが1のとき、即ちCL1=ハイ、CL2=CL3=ロウのとき、行マスタクロック信号 ϕ_{ri} は主に時間遅延回路236、238、240の時間遅延後に論理“ロウ”になる。

【0082】バーCAS待ち時間値jが2に設定された時、行マスタクロック信号 ϕ_{ri} は主に時間遅延回路238、240の時間遅延後に論理“ロウ”になる。バーCAS待ち時間値jが3にプログラムされた時、行マスタクロック信号 ϕ_{ri} は主に時間遅延回路240の時間遅延後に論理“ロウ”になるようになっている。従って、システムクロックCLKの周波数が高いほど行マスタクロック信号 ϕ_{ri} が“ロウ”になる時間遅延は短くなる。こうした時間遅延は、バンク切替え時に、各バンク内回路における信号遅延に起因する切替えトラブルを防ぐために必要であり、書き込み動作でブリチャージされる前に列選択信号が十分な時間の余裕を持って正確にデータを書き込み、読出し動作でブリチャージ命令後に連続する2

ビットのデータが出力するのを保障するためのものである。本実施例で $j = 1$ の場合に行マスタクロック信号 ϕ_{ri} が論理“ロウ”になる時間遅延は約 19 ns で、 $j = 2$ と $j = 3$ の場合の時間遅延はそれぞれ 6 ns と 3 ns としている。

【0083】行制御信号発生回路64は通常の論理回路で構成された回路であって、図12に示されたタイミング図のクロックを発生する。行アドレスリセットクロック信号 ϕ_{rsi} は行マスタクロック信号 ϕ_{ri} が論理“ハイ”になった後論理“ハイ”になり、ワード線駆動信号 ϕ_w が論理“ロウ”になった後論理“ロウ”になる。ワード線駆動信号 ϕ_w は行アドレスリセットクロック信号 ϕ_{rsi} が論理“ハイ”になった後に論理“ハイ”になり、行マスタクロック信号 ϕ_{ri} が論理“ロウ”になった後に論理“ロウ”になる。このワード線駆動信号 ϕ_w によって発生されたセンシング開始信号 ϕ_s は行デコーダ18で行アドレスをデコーディングして発生したブロック情報信号BLSにより選択されたセンスアンプを活性化する。列アドレスバッファ344をエネーブルするための列アドレスバッファエネーブル信号 ϕ_{lei} は行アドレスリセットクロック信号 ϕ_{rsi} が論理“ハイ”になった後論理“ハイ”になり、バーRASクロック信号 ϕ_{rci} が論理“ロウ”になった後論理“ロウ”になる。バーRAS-バーCAS遅延時間 t_{rcd} を保障するためのバーRASチェーン終了通知信号 ϕ_{rcd} はセンシング開始信号 ϕ_s が論理“ハイ”になってから論理“ハイ”になり、行マスタクロック信号 ϕ_{ri} が論理“ロウ”になった後に論理“ロウ”になる。

【0084】図23はバーCASチェーン回路をエネーブルするための列エネーブル信号 ϕ_{lei} と列エネーブル信号 ϕ_{reci} を発生するための論理回路図である。列エネーブル信号 ϕ_{lei} はバーRASチェーン終了通知信号 ϕ_{rcd} の遅延信号である。列エネーブル信号 ϕ_{lei} はバーRASチェーン終了通知信号 ϕ_{rcd} と行マスタクロック信号 ϕ_{ri} のゲーティングにより、図12に示したようなタイミングを有する信号である。

【0085】図13は本発明による高周波クロック発生回路を詳細に示す図である。高周波クロック発生回路68は低周波の外部システムクロック、例えば本実施例で 33 MHz 以下のシステムクロックCLKが使用される場合、プリチャージ時に内部システムクロックの周波数を逡倍する作用をする。該高周波クロック発生回路68はプリチャージ命令に依存するパルスが発生するパルス発生回路242と、発生されたパルスを内部システムクロック信号 ϕ_{clk} に論理和して逡倍されたシステムクロックを発生するNANDゲート248と、予め予定された待ち時間で前記逡倍されたシステムクロックを伝送する伝送ゲート252とから構成されている。

【0086】図24は、 33 MHz のシステムクロックCLKとバースト長SZ4の場合での読出し及びプリチ

ャージ動作時のタイミング図を示している。読み出されるバンクに対するプリチャージ命令（制御信号 ϕ_{rc} の論理“ロウ”を指す）が時間 t_4 で発せられ、その後、バーRASクロック信号 ϕ_{rci} は論理“ハイ”から論理“ロウ”になり、前記パルス発生回路242の出力端子Aは時間遅延回路244、244'によって与えられた時間遅延に依存するパルス幅を有するパルスを出力する。このパルスはゲート246、247、248により内部システムクロック信号 ϕ_{clk} と論理和され、NANDゲート248を介して逡倍されたシステムクロックを出力する。即ち、2個の出力端子Aからのパルスの間を補充するように、多くの内部システムクロック信号 ϕ_{clk} のパルスが追加されて、パルス波数が高くなる。論理“ハイ”のCL1と書込み動作でのみ論理“ハイ”になる書込み制御信号 ϕ_{wrc} によりNORゲート254の出力は論理“ハイ”であるので、前記ゲート248の出力は伝送ゲート252を通して出力される。このとき、伝送ゲート250はオフ状態にある。従って、内部回路はプリチャージ命令後に逡倍された動作周波数を有する内部システムクロックCNTCLK9により動作されるので、データ出力が迅速に行なわれ、プリチャージもプリチャージ命令後一層速い時間内に行なわれるようになる。システムクロックCLKが 33 MHz より高い周波数のとき、CL1は論理“ロウ”にある。従って、NORゲート254の出力は論理“ロウ”にあり、伝送ゲート252はオフ状態にある。そこで、伝送ゲート250はターンオンされ、CNTCLK9は内部システムクロック信号 ϕ_{clk} のような周波数となる。

【0087】データ通路

データ通路は、読出し動作でセルから読み出されたビット線上のデータをデータ出力バッファを通じて出力する通路、あるいは書込み動作でデータ入力バッファを通じて入力するデータをビット線に供給する通路をいう。このデータ通路に関する回路ブロックを図25に示す。同図には、図面の簡単のために二つのサブアレイとそれに関するデータ通路上の回路ブロック図を示す。

【0088】図25においてI/O線選択及びプリチャージ回路38は、図1及び図2で説明したように第1乃至第4メモリセルアレイ20TL、20BL、20TR、20BRのうちいずれか一つのメモリセルアレイ中の一つのサブアレイに係る第1I/Oバス26Rと他のサブアレイに係る第2I/Oバス26Lと接続される。このI/O線選択及びプリチャージ回路38は行デコーダ18によって選択されたワード線を有するサブアレイに関するブロック情報信号BLSを入力し、このブロック情報信号に回答して前記サブアレイに関連したI/OバスをPIOバス256に連結するための作用をする。また、上述したように読出し動作で選択されたI/Oバスにおいて4対のI/O線の中の2対のI/O線上にデータが現われるので、I/O線選択及びプリチャージ回

31

路38は残りの2対のI/O線とこれに対応するPIO線対をプリチャージする。

【0089】図26はI/O線選択及びプリチャージ回路38の具体回路図である。行デコーダ18からのブロック情報信号BLSが論理“ロウ”なら伝送スイッチ258、258'はオフ状態にあり、プリチャージ回路260はターンオンされI/O線対(I/O₀、バーI/O₀)～(I/O₃、バーI/O₃)をVBL(=1/2Vcc)にプリチャージする。データを伝送するためにブロック情報信号BLSが論理“ハイ”のときに伝送スイッチ258、258'はオン状態となり、プリチャージ回路260はオフ状態である。データを伝送しようとするI/O線対が第2I/O線対(I/O₂、バーI/O₂)と(I/O₃、バーI/O₃)であると仮定すれば、I/O線プリチャージ信号IOPR1は論理“ロウ”となり、IOPR1の反転信号バーIOPR1は論理“ハイ”になる。従って、プリチャージ回路262及び等化回路264はターンオンされ、I/O線対(I/O₀、バーI/O₀)、(I/O₁、バーI/O₁)は全部Vcc-Vtにプリチャージされ等化される。ここで、VtはNチャネルトランジスタのしきい電圧である。しかし、データが伝送されるI/O線対に関するプリチャージ回路262'と等化回路264'はオフ状態なので、I/O線対上のデータは、読出し動作で伝送スイッチ258'を介して対応する第2PIO線対(PIO₂、バーPIO₂)と(PIO₃、バーPIO₃)に伝送される。同様に、書込み動作ではPIO線対上のデータが対応I/O線対に伝送される。

【0090】図25において、I/Oセンスアンプ266は、読出し動作でブロック情報信号BLSに回答して発生した制御信号φ_{ioss}によって活性化され、PIOバス256上のデータを増幅する作用をする。I/Oセンスアンプ266は出力端Nデータを貯蔵するためのラッチ回路を更に有し得る公知の回路である。I/Oセンスアンプ266の出力はデータバスDBIを通じてデータ出力マルチプレクサ268に連結される。データバスDBIは図1及び図2に示されたデータバスDB0～DB7のうちのいずれか一つである。このデータバスDBIを構成するデータ線対(I/O₀、バーI/O₀)～(I/O₃、バーI/O₃)はI/Oセンスアンプ266を通じてPIOバス256を構成するPIO線対(I/O₀、バーI/O₀)～(I/O₃、バーI/O₃)と対応して連結される。

【0091】図27はデータ出力マルチプレクサ268の具体回路図である。同図において、データ出力マルチプレクサ268はデータバスDBI(I=0～3又は4～7)を構成するデータ線対(I/O₀、バーI/O₀)～(I/O₃、バーI/O₃)の各データ線対と共通データ線対CDL、バーCDL間に接続したプリチャージ回路263a～263d、ラッチ270、3状バ

32

ッファ272、第1ラッチ274a～274d、分離スイッチ276、第2ラッチ278a～278d、及びデータ伝送スイッチ280から構成される。プリチャージ回路263a～263dは、上述したI/O線対(I/O₀、バーI/O₀)～(I/O₃、バーI/O₃)のプリチャージと同様に、読出し動作でDIO線プリチャージ信号DIOPR1とその反転信号バーDIOPR1に回答してデータが伝送される2対のデータ線のプリチャージを防ぎ、データが伝送されない残りのデータ線対をプリチャージさせる作用をする。ラッチ270はデータ線DIO₀、バーDIO₀～DIO₃、バーDIO₃にそれぞれ接続され、このデータ線上のデータを貯蔵する作用をする。3状バッファ272はデータ線DIO₀、バーDIO₀～DIO₃、バーDIO₃にそれぞれ接続され、このデータ線対上のデータの反転データをそれぞれ出力する。但し、プリチャージされるデータ線に接続した3状バッファはターンオフされる。

【0092】第1ラッチ274a～274dは3状バッファ272の出力端子とそれぞれ接続され、前記データ線と3状バッファを通じて伝送されるデータを貯蔵する。各第2ラッチ278a～278dは分離スイッチ276を介して対応する第1ラッチ274a～274dと直列に接続されている。第2ラッチ278a～278dは対応データ伝送スイッチ280を通じて一対の共通データ線バーCDL、CDLに接続される。データ伝送スイッチ280はデータ伝送信号RDTP0～RDTP3に回答して順次ターンオンされ、第1ラッチから供給され第2ラッチに貯蔵されたデータが順次共通データ線バーCDL、CDLに出力される。従って、更に詳細に後述するように列アドレス信号により順次論理“ハイ”のバルスとなるデータ伝送信号RDTP0～RDTP3に回答して、第1及び第2ラッチで構成される直列レジスタ274、278に貯蔵されたデータが順次共通データ線バーCDLとCDL上に出力されるようになっている。

【0093】データ線対(DIO₀、バーDIO₀)～(DIO₃、バーDIO₃)のプリチャージ動作で3状バッファ272はオフ状態にあるので、第1レジスタ274及び第2レジスタ278に貯蔵されたデータの破壊はない。しかし、第2レジスタ278に貯蔵されたデータがデータ伝送スイッチ280を通じて伝送される前の待ち時間が長い場合、データ線対から新たなデータが伝送されると第2レジスタ278に貯蔵された以前のデータは破壊されてしまう。また、低い周波数を有するシステムクロックを使用する場合にもシステムクロックに同期して前記データ伝送信号RDTP0～RDTP3が発生するので、このようなデータの破壊が生じる可能性がある。こうしたデータ衝突によるデータ破壊は、データ読出し動作で設定されたバースト長に該当する順次データ読出し動作中、バーストの終了前に割り込み要求が発せられ新

たな列アドレス信号によりバースト長の次に連続するデータ読出し動作が中断されたり、若しくは待機なしに行なわれるようなバーCAS割り込み読出し動作において実質的に起る可能性がある。従って、こうしたデータの衝突を防止し、誤動作を防止するために第1ラッチと第2ラッチとの間に分離スイッチ276が接続されている。この分離スイッチを制御する制御信号 ϕ_{cl} は、待ち時間値3及び4の場合でバーCAS割り込み要求時における論理“ハイ”のパルス信号である。そして、データ線バーCDLとCDLは公知のデータ出力ラッチ282 10に接続される。

【0094】図25において、データ出力バッファ284は、データ出力マルチプレクサ268からのデータ出力線D0、バーD0と接続する。データ出力バッファ284は読出し動作でバースト長に従って定められる連続的なデータをシステムクロック信号 ϕ_{clk} に同期して直列に入出力パッド（図示せず）に供給する。

【0095】図28はデータ出力バッファ284の具体回路図である。同図において、伝送スイッチ286、286'は所定の周波数、例えば33MHzより高い周波数のシステムクロック信号 ϕ_{clk} に同期してデータ出力線D0、バーD0上のデータを線288、290に伝送し、この所定の周波数以下の周波数のシステムクロック信号 ϕ_{clk} とは無関係に連続的にデータ出力線D0、バーD0上のデータを線288、290に伝送する。後述するように、制御信号 ϕ_{ier} は33MHz以下のシステムクロック（即ち、バーCAS待ち時間値1の場合）で論理“ハイ”にあり、33MHzより高い周波数のシステムクロックでは論理“ロウ”にある。線288、290上にデータを貯蔵するためのラッチ292a、292bが接続されている。NANDゲート294、296、298とPチャネルトランジスタ300、Nチャネルトランジスタ302で構成されるゲート回路310は線288、290と駆動トランジスタ304、306との間に連結されている。Pチャネルトランジスタ300のソースは駆動トランジスタ304をしきい電圧に損害を与えず駆動するために公知の昇圧回路からの昇圧電圧Vpp端に接続されている。ゲート回路310は制御信号 ϕ_{tssr} に 40 応答してデータ入出力パッド（図示せず）に接続されるデータ入出力線308上のデータの出力を遮断するものである。この制御信号 ϕ_{tssr} はバースト読出しの終了時又は後述するデータ出力マスク動作の発生時に論理“ロウ”になる。

【0096】図25において、データ入力バッファ312がデータ入出力パッドと接続したデータ入出力線308とデータ線DIとの間に接続される。データ入力バッファ312はこの線308上の入力データをCMOSレベルに変換し、システムクロック信号 ϕ_{clk} に同期された内部入力データを発生するものである。データ入力バッファ312は書込み動作で論理“ハイ”である書込み 50

制御信号 ϕ_{ier} によってエネーブルされ、外部入力データをCMOSレベルにシフトする前記入力バッファと、入力バッファからのレベルシフトされた入力データを受け取り、システムクロック信号 ϕ_{clk} に同期した内部入力データを発生する先に述べた同期回路とから構成可能である。従って、書込み動作で内部システムクロック信号 ϕ_{clk} が論理“ハイ”になる度にデータ入力バッファ312は、連続して入力される直列データを連続的にサンプリングし、データ線DI上に直列に出力するバッファである。

【0097】データ入力マルチプレクサ314は、データ入力バッファ312の出力線DI上の直列入力データをシステムクロックに同期して順次発生する書込みデータ伝送信号をもってサンプリングし、所定のビットの並列データ（本実施例では2ビットの並列データ）に群化し、この群化された並列データを対応データ線対に順次供給するものである。

【0098】図29はデータ入力マルチプレクサ314の具体回路図である。同図において、データ入力マルチプレクサ314は、データ線DIに接続され、書込みデータ伝送信号WDTP0～WDTP3に 40 応答してデータ線DI上の直列データを並列データに変更するためサンプリングする選択スイッチ316a～316dを有する。ラッチ320a～320dはそれぞれ前記サンプリングされたデータを貯蔵するために対応する選択スイッチ316a～316dに接続される。このラッチ320a～320dの出力端は、書込み動作でエネーブルされる時に信号を通過させNANDゲート322a～322dとバッファ324a～324dを介してデータ線DIO₀、バーDIO₀～DIO₃、バーDIO₃にそれぞれ接続される。スイッチとして作用するこれらNANDゲート322a～322dをゲーティングする書込み制御信号 ϕ_{is} は書込み動作で論理“ハイ”となる信号である。バッファ324a～324dはそれぞれPチャネル及びNチャネルトランジスタ326、328で構成された3状インバータである。

【0099】選択スイッチ316a～316dとラッチ320a～320dとの間にそれぞれ接続されたPチャネルトランジスタ318a～318dは、制御信号WCA1、バーWCA1に 40 応答して、第1データ線対（DIO₀、バーDIO₀）及び（DIO₁、バーDIO₁）と、第2データ線対（DIO₂、バーDIO₂）及び（DIO₃、バーDIO₃）上に2ビットの並列データを代る代る伝送させ、同時に第1及び第2データ線対のうち一方のデータ線対がデータを伝送している時は他方のデータ線対に接続されたバッファをターンオフさせる作用をする。即ち、書込み動作で制御信号WCA1が論理“ハイ”にある時にトランジスタ318cと318dはオフ状態にある。従って、制御信号WDTP2とWDTP3に 50 応答してラッチ320cと320d内に貯蔵さ

れるデータは、スイッチ 322c と 322d とバッファ 324c と 324d を通じて第 2 データ線対 DIO_1 、 $\overline{DIO_1}$ と DIO_1 、 $\overline{DIO_1}$ に伝送される。

【0100】このとき、 $\overline{WCA1}$ は論理“ロウ”なのでトランジスタ 318a と 318b はオン状態で、これによってバッファ 324a と 324b はオフ状態となる。従って、第 1 データ線対 (DIO_0 、 $\overline{DIO_0}$) と (DIO_1 、 $\overline{DIO_1}$) は図 27 に示したプリチャージ回路 263a、263b により電源供給電圧 V_{cc} にプリチャージされる。その後、 $WCA1$ が論理“ロウ”になった時にトランジスタ 318c と 318d はオン状態となり、それから 3 状バッファ 324c と 324d はオフ状態となる。従って、第 2 データ線対も同様にプリチャージされ、第 1 データ線対は 2 ビットの並列データを送出する。

【0101】次に図 25 を参照すれば、両方向のデータバス DBI を通じてデータ入力デマルチプレクサ 314 から送出されたデータは PIO ラインドライバ 330 を通じて PIO 線対 256 に伝送される。図 30 は PIO ラインドライバ 330 の具体回路図である。同図において、 PIO ラインドライバ 330 は、バンク選択信号 $DTCPI$ とブロック選択情報信号 BLS に応答してデータ線対 (DIO_0 、 $\overline{DIO_0}$) ~ (DIO_3 、 $\overline{DIO_3}$) 上のデータを通過させるためのスイッチ 332 と、このスイッチ 332 と PIO 線対 (PIO_0 、 $\overline{PIO_0}$) ~ (PIO_3 、 $\overline{PIO_3}$) との間にそれぞれ接続されスイッチ 332 を通じて入力されるデータを増幅して対応 PIO 線対に供給するためのバッファ 334 と、前記各 PIO 線対を構成する 2 本の PIO 線間に接続されこの PIO 線をプリチャージするためのプリチャージ及び等化回路 336 とから構成される。バッファ 334 とプリチャージ及び等化回路 336 は、図 29 のバッファ 324a ~ 324d と図 26 のプリチャージ及び等化回路 260、262、262'、264、264' と同一であり、書込み動作におけるそれらの動作も同様である。 PIO ラインドライバ 330 は、読出し動作で論理“ロウ”の信号 $DTCPI$ をもって両方向のデータバス DBI と PIO 線対 256 との間を分離する。

【0102】しかし、書込み動作では、このデータバス DBI 上のデータが PIO 線ドライバ 330 を通じて伝送された PIO 線対 256 上のデータは、 I/O プリチャージ及び選択回路 38 により選択された対応 I/O 線対に伝送される。このデータ伝送は 2 対ごとに交互に行われるので、第 1 PIO 線対 (PIO_0 、 $\overline{PIO_0}$) と (PIO_1 、 $\overline{PIO_1}$) と対応して接続される左側 I/O バス 26R のうち第 1 I/O 線対 (I/O_0 、 $\overline{I/O_0}$) と (I/O_1 、 $\overline{I/O_1}$) がデータ伝送中であれば、第 2 PIO 線対 (PIO_2 、 $\overline{PIO_2}$) と (PIO_3 、 $\overline{PIO_3}$) 及び左側 I

$/O$ バス 26R のうち第 2 I/O 線対 (I/O_2 、 $\overline{I/O_2}$) と (I/O_3 、 $\overline{I/O_3}$) はプリチャージされている。

【0103】列制御回路

列制御回路はデータ通路に関連する回路を制御する制御信号を発生するための回路である。図 5 は本発明による列制御回路を示す概略的ブロック図である。同図において、 \overline{CAS} バッファ 338 は外部列アドレスストロブ信号 \overline{CAS} と内部システムクロック信号 ϕ_{clk} を入力し、制御パルス信号 ϕ_c 、 ϕ_{ca} 、 $BITSET$ 、及び ϕ_{cc} を発生する。 \overline{WE} バッファ 340 は外部書込みエネーブル信号 \overline{WE} と内部システムクロック信号 ϕ_{clk} 及び \overline{CAS} バッファ 338 からのパルス信号 ϕ_c 、 ϕ_{ca} 及びその他の多くの制御信号を入力し、書込み動作において書込み制御信号 ϕ_{rc} 、 ϕ_{rcc} 、及び ϕ_{rrc} を発生する。 DQM バッファ 342 は外部信号 DQM と内部システムクロック信号 ϕ_{clk} を入力し、データ入出力マスキング信号 $\overline{\phi_{oe}}$ を発生する。このデータ入出力マスキング信号 $\overline{\phi_{oe}}$ によりデータの入出力が遮断される。列アドレスバッファ 344 はシステムクロック信号 ϕ_{clk} に同期して外部列アドレス $A_0 \sim A_9$ を入力し、 \overline{CAS} バッファ 338 からのパルス信号 ϕ_{ca} に応答して上記列アドレスをラッチし、列アドレス信号 $ECA_0 \sim ECA_9$ を発生する。

【0104】列アドレス計数器 346 は、予め定められた数のステージ（又はビット；本発明の実施例では 9 ビット）で構成される計数器である。この計数器は列アドレスモード信号 ϕ_{intel} によりシーケンシャル（又はバイナリ）アドレスモードあるいはインタリーブアドレスモードで計数動作を行なうことができる。この計数器のステージは、列アドレスバッファ 344 からの列アドレス信号をプリセット信号 $BITSET$ に応答してそれぞれラッチし、動作モード信号 SZ バーンに係る下位ステージにおいてはこれら内にラッチされた列アドレス信号から始まるクロック $CNTCLK_9$ の上記計数動作を行ない、選択されたアドレスモードによる連続する列アドレス信号を発生する。しかし、残りの他のステージにおいてはこれら内にラッチされた初期列アドレス信号を発生する。列アドレスリセット信号 ϕ_{crl} はバースト長の終了、即ち有効なデータ出力の終了後に上記計数器をリセットする。

【0105】バースト長計数器 350 は、 \overline{CAS} バッファ 338 からのプリセット信号 $BITSET$ によってリセットされた後、内部システムクロック信号 ϕ_{clk} のパルスを計数する通常の 9 ステージ（又は 9 ビット）の 2 進計数器である。この計数器 350 は列アドレスリセット信号 ϕ_{crl} によってもリセットされるようになっている。プリセット信号 $BITSET$ は \overline{CAS} の活性化によって発生されたパルスなので、計数器 350 は \overline{CAS} の活性化後に内部システムクロック信号 ϕ

ϕ_{clk} のパルス数を再び計数するものである。しかし、列アドレスリセット信号 ϕ_{cA} はバースト長計数器 350 の計数動作を停止するための信号であるので、バーCAS 割り込み動作で有効なデータの出力中にバーCAS が活性化されるとこの計数器 350 は計数動作を再度始めるようになる。

【0106】バースト長検出回路 352 は、バースト長計数器 350 からの計数値と、図 4 で説明した動作モード設定回路 58 からのバースト長の情報を持つ動作モード信号 SZ バー n を入力し、バースト動作の終了を知らせる信号 $COSI$ 及びバースト長を示す信号 $COSR$ を発生する。列アドレスリセット信号発生回路 354 はバースト終了信号 $COSR$ に応答して列アドレス計数器 346 をリセットするための列アドレスリセット信号 ϕ_{cA} を発生するものである。データ伝送制御計数器 348 は、列アドレス信号 $CA0$ 、 $CA1$ 、 $FCA0$ 、 $FCA1$ を入力し、内部システムクロック信号 ϕ_{clk} に同期した列アドレス信号 $RCA0$ 、 $RCA1$ を発生するための計数器である。上述したように、クロック $CNTCLK9$ は 33MHz 以下のシステムクロック CLK が使用される時、プリチャージ時間を短縮させるため人為的に発生されるクロックである。この場合、列アドレス信号 $CA0$ と $CA1$ は内部システムクロック信号 ϕ_{clk} に同期した信号ではない。従って、データ伝送制御計数器 348 は 33MHz 以下のシステムクロックにおけるプリチャージ時間の短縮を考慮して設ける。もし不要であれば、列アドレス計数器 346 はクロック $CNTCLK9$ の代りに内部システムクロック信号 ϕ_{clk} を入力とし、読出し及び書込みデータ伝送クロック発生回路 356、358 はデータ伝送制御計数器 348 の出力、即ち $RCA0$ と $RCA1$ の代りに列アドレス信号 $CA0$ と $CA1$ を入力とするようにしてもよい。

【0107】読出しデータ伝送クロック発生回路 356 は内部システムクロック信号 ϕ_{clk} に同期した列アドレス信号 $RCA0$ と $RCA1$ を入力とし、読出し動作においてデータ出力マルチプレクサ 268 から直列データを出力するための読出しデータ伝送パルス $RDTpm$ を発生するものである。書込みデータ伝送クロック発生回路 358 は、上記信号 $RCA0$ と $RCA1$ を入力とし、書込み動作においてデータ入力マルチプレクサ 314 から時分割された並列データを出力するための書込みデータ伝送パルス $WDTpm$ を発生するものである。

【0108】1. バーCAS、バーWE、及びDQMバッファ

図31はバーCASバッファ338の詳細回路図であり、図35～図37は66MHzのシステムクロックと4のバースト長及び2のバーCAS待ち時間を使用している書込み動作のタイミング図である（なお、図35～図37は図面の記載上3つに分かれているが、一つのタイミング図を示す）。

【0109】図31において、入力バッファ70eは既にバーRASバッファについて述べたようにセルフフリフレッシュとクロックマスキング動作でディスエーブルされ、書込み又は読出し動作で入力信号をCMOSレベルの内部信号に変換する回路である。同期回路108は入力バッファ70eからのCMOSレベルバーCAS信号を内部システムクロック信号 ϕ_{clk} に同期させるため、この入力バッファ70eに接続される。パルス発生回路360は同期回路108と接続され、制御パルス信号 ϕ_{cA} 、 ϕ_{cF} 、及びプリセット信号 $BITSET$ を発生する。図35～図37を参照すれば、時間 t_1 で論理“ロウ”のバーCASパルスにより制御パルス信号 ϕ_{cA} 、 ϕ_{cF} 、及びプリセット信号 $BITSET$ が発せられる。制御パルス信号 ϕ_{cA} の論理“ハイ”のパルス幅はシステムクロック CLK のおよそ1サイクルであり、制御パルス信号 ϕ_{cA} のパルス幅はクロック CLK のほぼ半分サイクルで、制御パルス信号 ϕ_{cF} 及びプリセット信号 $BITSET$ のパルス幅は約5～6nsecである。

【0110】図32はバーWEバッファ340の詳細回路図である。同図において、入力バッファ70fは外部書込みエネーブル信号バーWEを内部CMOSレベルの信号に変換する回路である。同期回路108は、入力バッファ70fからのレベル変換信号を内部システムクロック信号 ϕ_{clk} に同期させてラッチ362に貯蔵する。そして、ラッチ366の入力端はバーCASの活性化によってターンオンされる伝送スイッチ364を通じてラッチ362の出力端と接続され、書込み動作において論理“ハイ”を貯蔵する。ゲートで構成されるゲート回路368はこのラッチ366の出力端と接続されている。シフトレジスタ370はゲート回路368と接続され、書込み命令後にクロック CLK を1サイクル遅延させるためのものである。パルス発生回路378はプリチャージ時において論理“ハイ”の短いパルス信号 ϕ_{cF} を発生し、シフトレジスタ370及びラッチ366をリセットさせるものである。

【0111】図35～図37を参照すれば、時間 t_1 で書込み命令が発せられた後制御パルス信号 ϕ_{cA} が論理“ハイ”のときラッチ366は論理“ハイ”を貯蔵する。また、信号 ϕ_{cA1} と ϕ_{cA2} （バーRASチェーン終了通知信号 ϕ_{cA1} が第1又は第2バンクに適用された信号である）のうち少なくとも一つとバーCASバッファからの制御パルス信号 ϕ_{cA} は論理“ハイ”にあるので、NANDゲート372から論理“ロウ”が出力され書込み制御信号 ϕ_{cF} は論理“ハイ”になる。NANDゲート372からの論理“ロウ”の出力はシフトレジスタ370にも入力され、このレジスタ370は内部システムクロック信号 ϕ_{clk} の1サイクル遅延後に論理“ロウ”を出力する。すると、NANDゲート374は論理“ハイ”を出力し、書込み制御信号 ϕ_{cF} は論理“ハイ”になる。書込み制御信号 ϕ_{cF} を CLK の1サイクル遅延後に

発生させるようにするのは、書込み命令後の次のCLKのサイクルで外部入力データを受け入れるためである。従って、書込み命令サイクルで外部入力データを受け入れるのであれば、シフトレジスタ370を省略してもよいことは、この分野の通常の知識を有する者なら分ることである。

【0112】図33はDQMバッファ342の詳細回路図で、図34はDQMバッファ342の動作タイミングを示す図である。図33において、入力バッファ70gは外部信号DQMをCMOSレベルに変換するためのバッファである。3ステージのシフトレジスタ382は同期遅延回路で、入力バッファ70gに接続され、内部システムクロック信号 ϕ_{clk} に同期して、データ出力マスキング信号 ϕ_{dm} を発生する。図34を参照すると、時間 t_1 でデータ出力マスキング命令DQMが発せられている。時間 t_1 でラッチ384は論理“ロウ”を受け入れて貯蔵し論理“ハイ”を出力している。その後、システムクロック信号 ϕ_{clk} 387が論理“ハイ”のときラッチ385は伝送スイッチを通じて論理“ハイ”を受け入れて貯蔵し、論理“ロウ”をクロック信号 ϕ_{clk} として出力する。それから、この内部システムクロック信号 ϕ_{clk} 387が論理“ロウ”の場合にラッチ386は論理“ハイ”を受け入れて貯蔵し、論理“ハイ”を出力する。その後、クロック信号 ϕ_{clk} 388が論理“ハイ”のときはデータ出力マスキング信号 ϕ_{dm} は論理“ロウ”になる。同様に、データ出力マスキング信号 ϕ_{dm} が論理“ハイ”になるのはクロック信号 ϕ_{clk} 389が論理“ハイ”になるときである。従って、データ出力バッファからのデータはデータ出力マスキング命令後、2番目のシステムクロックCLKの立上りエッジに応答して論理“ロウ”のデータ出力マスキング信号 ϕ_{dm} により出力が遮断される。データ出力を遮断する時間調節は、シフトレジスタ382を構成するシフトステージの数を調整することで可能である。

【0113】2. 列アドレス発生回路

列アドレス発生回路は列アドレスバッファ344と列アドレス計数器346で構成される。図34は列アドレスバッファの詳細回路図である。本発明の実施例においては外部の列アドレス $A_0 \sim A_9$ をそれぞれ入力する10個の列アドレスバッファを使用している。同図において、入力バッファ70hは外部からの列アドレス信号 A_i をCMOSレベルのアドレス信号に変換するバッファである。入力バッファ70hは列アドレスバッファ344をエネーブルするための列アドレスバッファエネーブル信号 ϕ_{ale} によりエネーブルされ、この入力バッファ70hの出力は伝送スイッチ390を通じてラッチ392に連結される。制御パルス信号 ϕ_{ca} が論理“ハイ”になる前にラッチ392は列アドレス信号ECAIを貯蔵し、列アドレス信号FCAIをインバータを介して発生

する。列アドレス信号FCA0とFCA1のみがデータ伝送制御計数器348に入力される。バーCASの活性化により制御パルス信号 ϕ_{ca} が論理“ハイ”になる時に伝送スイッチ394はターンオンされ、列アドレス信号ECAIの反転信号をラッチ398に貯蔵する。このラッチ398の出力端子は列アドレスリセット信号 ϕ_{crl} によってエネーブルされるNANDゲート400、402で構成されるスイッチ手段に接続される。エネーブルされたNANDゲート400、402はそれぞれ列アドレス信号CAIとバーCAIを提供する。この列アドレス信号CAIは列アドレス計数器346に入力され、この計数器346に初期値として設定される。列アドレス計数器346は設定された列アドレスから始まる計数動作により連続する列アドレス信号PCAIを発生する。これら信号PCAIは伝送スイッチ396、ラッチ398、及びスイッチ400、402を通じて列アドレス信号CAIとバーCAIとして出力される。

【0114】従って、伝送スイッチ394、396、ラッチ398、及びスイッチ400、402で構成される手段319は、バーCASの活性化によって発生したパルス ϕ_{ca} により前記先頭列アドレスを提供し、この制御パルス信号 ϕ_{ca} が論理“ロウ”になると先頭列アドレスから計数される連続する列アドレス信号を提供する作用をする。従って、バーCASの活性化後に外部入力列アドレス A_i と内部発生列アドレスが直列に構成された連続入力アドレスの発生が高速に行なわれる。なお、本発明の実施例において列アドレス信号CA0及びCA9に係る列アドレスバッファ344は信号PCAO及びPCA9は入力しない。信号CA9はバーCAS割り込み動作を行なう場合、バンク選択信号として使用されるので列デコードとは無関係である。また信号CA0とCA1は、データ出力マルチプレクサ268とデータ入力マルチプレクサ314でそれぞれ使用される読出しデータ伝送クロックRDTPmと書込みデータ伝送クロックWDTPmを発生するためのものである。信号CA1～CA8は列デコーディング用として使用される。

【0115】図39は列アドレス計数器346の概略的ブロック図で、図40及び図41は列アドレス計数器346内の各ステージを示す詳細回路図である。図39～図41において、列アドレス計数器346は9つのステージST1～ST9で構成される9ビットの計数器である。この計数器346は下位ステージST1～ST3とANDゲート404で構成される第1計数部と、残りの上位ステージST4～ST9とANDゲート406で構成される第2計数部とから構成される。第1計数部はバイナリーモードとインタリーブモードのうちいずれか一つのモードで計数動作を遂行し、第2計数部はバイナリーモードで計数動作を遂行することができる。第1計数部、即ち3ビット計数器で列アドレッシングモード信号 ϕ_{rstel} によりバイナリーあるいはインタリーブモードの

うち一つのモードが選択される。最下位ステージST1においてキャリ入力信号CARIの入力端子とバースト長入力端子SZは電源供給電圧Vcc端に接続される。2番目のステージST2のキャリ入力信号CARIはステージST1のキャリ値を入力し、2番目と3番目のステージST2とST3の各キャリ出力CAROは前段のキャリ値と対応ANDゲート404で論理積され、このANDゲートの出力は後段のキャリ入力となる。第1計数部内の最上位ビットST3に対応するANDゲートの出力は第2計数部の最下位ステージST4のキャリ入力信号CARIとなる。第2計数部内の各ステージのキャリ入力信号CARIは前段のANDゲートの出力である。また、第2計数部内の各ANDゲートは前段のAN

Dゲートの出力と対応ステージの出力を入力とする。

【0116】本発明の列アドレス計数器346は、メモリシステム設計者の設計融通性を向上するため、アドレスシーケンスをバイナリーモード又はインタリーブモードのうちいずれか一つのモードで選択的に遂行できるようになっている。バイナリーアドレッシングモードは先頭列アドレスから1ずつ増加しつつ連続的なアドレスを発生するモードであり、インタリーブアドレッシングモードは特定の方式で連続的なアドレスを発生するモードである。下記の表3は8のバースト長の場合、10進数で表わされる出力アドレスシーケンスを示している。

【0117】

【表3】

出力アドレスシーケンス (バースト長 n=8)	
バイナリーモード	インタリーブモード
0、1、2、3、4、5、6、7	0、1、2、3、4、5、6、7
1、2、3、4、5、6、7、0	1、0、3、2、5、4、7、6
2、3、4、5、6、7、0、1	2、3、0、1、6、7、4、5
3、4、5、6、7、0、1、2	3、2、1、0、7、6、5、4
4、5、6、7、0、1、2、3	4、5、6、7、0、1、2、3
5、6、7、0、1、2、3、4	5、4、7、6、1、0、3、2
6、7、0、1、2、3、4、5	6、7、4、5、2、3、0、1
7、0、1、2、3、4、5、6	7、6、5、4、3、2、1、0

【0118】図40は第1計数部の各ステージの詳細回路図である。同図において、第1計数部の各ステージはキャリを発生するためのキャリ部408とビット出力を提供するためのビット部410を有している。キャリ部408は2個のラッチ412、416と、このラッチ412、416間に接続される伝送スイッチ414と、ラッチ416の出力端子とラッチ412の入力端子との間に直列に接続されたインバータ418と、伝送スイッチ411とから構成される。ビット部410も同様の方式により、ラッチ412'、416'と、伝送スイッチ411'、414'と、インバータ418'とから構成される。伝送スイッチ411、411'、414、414'は線419及びインバータ413を通して線415に連結されている。ラッチ412、412'の入力端子は線422、424にそれぞれ接続される。初期設定回路420は線422、424間に接続され、パワーオン時に初期条件、即ち論理“ロウ”をラッチ412、412'に提供する作用をする。

【0119】線419はNORゲート426の出力端子に接続され、NORゲート426はクロックCNTCLK9とNANDゲート428の出力及びプリセット信号BITSETをそれぞれ入力としている。NANDゲート428は、動作モード信号SZバーnと、列アドレス

リセット信号発生回路354からの列アドレスエネーブル信号 ϕ_{CARC} 、及び前段のキャリ出力信号CAROとなるキャリ入力信号CARIをそれぞれ入力とする。伝送スイッチ430、432はプリセット信号BITSETにตอบสนองしてターンオンされ、初期キャリ値と初期列アドレス値(又は初期ビット値)を線422、424上にそれぞれ伝送する。列アドレッシングモード信号 ϕ_{INTEL} は、上述したようにインタリーブモードで論理“ハイ”、バイナリーモードでは論理“ロウ”である。従って、インタリーブモードでターンオンされた伝送スイッチ430、432は論理“ロウ”と初期ビット値(又は初期列アドレス信号)CAIをそれぞれ伝送し、バイナリーモードではこれらスイッチは初期ビット値CAIを伝送する。

【0120】図42は図40に示す回路の動作タイミング図である。図40と図42の両図を参照すれば、NANDゲート428の入力信号である動作モード信号SZバーn、列アドレスエネーブル信号 ϕ_{CARC} 、及びキャリ入力信号CARIのうちいずれかが論理“ロウ”のとき、NORゲート426はクロックCNTCLK9の出力を遮断し、線419を論理“ロウ”に維持する。従って、伝送スイッチ414、414'はオン状態になり、伝送スイッチ411、411'はオフ状態にある。

このとき、論理“ハイ”のプリセット信号BITSETにより伝送スイッチ430、432がいったんターンオンされると、インタリーブモードでキャリ出力信号CAROは論理“ロウ”の初期キャリ値を出力し、ビット出力信号PCAIは初期ビット値CAIとなる。そして、この場合バイナリーモードでキャリ出力信号CAROとビット出力信号PCAIは全部初期ビット値CAIを提供する。その後、論理“ロウ”のプロセット信号BITSETは伝送スイッチ430、432をターンオフさせ、既にプリセットされた初期キャリ値と初期ビット値を維持させる。従って、プリセット信号BITSETは列アドレッシングモード信号 ϕ_{INTEL} に従って初期キャリ値と初期ビット値をキャリ部408とビット部410にそれぞれプリセットするための信号である。

【0121】一方、プリセット信号BITSETによる初期値の設定後、上記動作モード信号SZバー n 、列アドレスエネーブル信号 ϕ_{CLC} 、及びキャリ入力信号CARIが共に論理“ハイ”になるとNORゲート426はクロックCNTCLK9を出力する。すると、キャリ部408とビット部410はこのクロックCNTCLK9の毎サイクルごとにプリセットされた初期値から始まる順次の2進値をそれぞれ出力する。こうした順次動作中、論理“ロウ”のキャリ入力信号CARIがNANDゲート428に入力されると線419は論理“ロウ”となり、キャリ部408とビット部410の動作は一時中止される。即ち、伝送スイッチ411、411'がターンオフされるので、ラッチ412、412'に貯蔵されたキャリ出力信号CAROとPCAIは2進値の反転値としてそれぞれ一時停止される。信号CARIが論理“ハイ”になると、この一時停止された値から始まる順次動作が再開される。

【0122】図41は図39に示す第2計数部を構成する各ステージの詳細回路図である。このステージの構成は、図40に示されたステージからキャリ部408とモード制御回路434を省略した構成と同一である。動作もビット部410の動作と同一である。従って、このステージST4～ST9のそれぞれに対する詳細な説明は省略する。

【0123】図39において、動作モードプログラムによりバースト長 n が設定されるとバースト長 n 以下のバースト長に関連したバースト長信号は全部論理“ハイ”となるので、論理“ハイ”のバースト長信号動作モード信号SZバー n を入力するステージのみがエネーブルされる。例えば、バースト長が512(full page)であれば列アドレス計数器346は9ビット計数器として動作する。バースト長 n が32にプログラムされているとすると、下位5個のステージST1～ST5が順次に計数動作を行ない、上位ステージST6～ST9の出力信号PCA5～PCA8はそれぞれ上述したように、初期入力ビット値、即ち入力された列アドレス信号CA5～C

A8を維持する。従って、3個の下位ステージST1～ST3で構成された第1計数部は列アドレッシングモード信号 ϕ_{INTEL} に従って順次のバイナリー又はインタリーブアドレス信号PCA0～PCA2を出力し、ステージST4とST5で構成される計数器は第1計数部からのキャリを入力しつつ、入力される列アドレスCA3とCA4から始まる順次のバイナリーアドレス信号PCA3とPCA4を出力する。

【0124】3. 列デコーダ

上述したように本発明の実施例は、列アドレスバッファ344からの列アドレス信号CA1～CA8が列選択のための列デコーダに入力される。図43は本発明による列デコーダの概略的ブロック図である。同図において、プリデコーダ436～442は列アドレス信号CA1、CA2と、CA3、CA4と、CA5、CA6及び、CA7、CA8をそれぞれ入力し、行アドレス信号RA11又は列アドレス信号CA9を入力する。行アドレス信号RA11は、第1バンクの読出し又は書込み動作とブリチャージ動作の後、第2バンクの読出し又は書込み動作及びブリチャージ動作を行なうようなバンク間の独立動作を行なう場合や、あるいは第1バンクと第2バンクがインタリーブ動作を行なう場合にバンク選択信号として使用される。RA11が論理“ロウ”なら第1バンクを選択し、RA11が論理“ハイ”なら第2バンクを選択する。一方、CA9は上述したバーCAS割り込み動作をする場合のバンク選択信号である。CA9が論理“ロウ”なら第1バンクを選択し、CA9が論理“ハイ”なら第2バンクを選択する。

【0125】第1プリデコーダ436は列アドレス信号CA1とCA2をデコーディングしてプリデコーディング信号DCAバー1バー2、DCA1バー2、DCAバー12、DCA12（以下、「DCAバー1バー2～DCA12」と略記する）を発生し、これら信号より速い信号である信号DCA2とその反転信号DCAバー2を発生する。このプリデコーディング信号の中で相互に隣接する信号は一端の所定部分をオーバーラップしている。第1プリデコーダ436の出力信号は主デコーダ444に供給される。NORゲート446はプリデコーダ438からのプリデコーディング信号「DCAバー3バー4～DCA34」のうちいずれか一つと、プリデコーダ440からの信号「DCAバー5バー6～DCA56」のうちいずれか一つと、プリデコーダ442からの信号「DCAバー7バー8～DCA78」のいずれか一つを取る組合信号をそれぞれ入力し、対応する主デコーダにそれぞれ出力し、主デコーダ444は列選択信号CSL0～CSL255を発生する。

【0126】図44は第1プリデコーダ436の詳細回路図である。同図において、NANDゲート448はバンク選択信号RA11又はCA9によってエネーブルされ、列アドレス信号CA1、CA2とこれらの反転信号

バーCA1、バーCA2をデコーディングする。バーCASの活性化後に論理“ロウ”の短い制御パルス信号 ϕ_{cr} はNANDゲート451、454をリセットし、出力信号「DCAバー1バー2～DCA12」を論理“ロウ”にさせる。その後、制御パルス信号 ϕ_{cr} が論理“ハイ”のとき（このとき、列エネーブル信号 ϕ_{re} は論理“ハイ”である）NANDゲート451、454はエネーブルされる。列アドレス信号CA1とCA2が論理“ロウ”と仮定すれば、NANDゲート448aは論理“ロウ”を出力し、NANDゲート456aは論理“ハイ”を出力する。従って、DCAバー1バー2は論理“ロウ”から論理“ハイ”になる。その後、CA1が論理“ハイ”になり、CA2が論理“ロウ”を維持すると、同様に、DCA1バー2が論理“ハイ”になる。しかし、NANDゲート448aは論理“ハイ”を出力し、遅延回路450aと452aとNANDゲート451a、454a、456a及びインバータを経た時間遅延後、DCAバー1バー2は論理“ロウ”になる。従って、DCAバー1バー2が論理“ハイ”になった後、このDCAバー1バー2は前記遅延要素によって決定される時間遅延後、論理“ロウ”になる。結局、オーバーラップ部分が連続するブリデコーディング信号間の端部で発生する。こうしたオーバーラップ部分は書き込み動作中に誤りのない書き込み時間を保障する働きをする。

【0127】図45は第2ブリデコード438～442のうちいずれか一つの詳細回路図である。各第2ブリデコードは選択されたブリデコーディング信号が論理“ロウ”になるロウエネーブル回路である。図46は主デコード444の中で一番目の回路を示す図である。同図において、ブリデコーディング信号「DCAバー1バー2～DCA12」は、それぞれインバータ458a～458dの入力端子に接続される。このインバータ458a～458dはインバータ458a、458bで構成される第1インバータグループとインバータ458c、458dで構成される第2インバータグループに分けられる。第1インバータグループを構成するインバータ458a、458bの一端は共に第1トランジスタ462のドレインに接続され、第2インバータグループを構成するインバータ458c、458dの一端は共に第2トランジスタ464のドレインに接続される。このインバータ458a～458dの他段は電源供給電圧Vcc端に接続される。このインバータの出力端子はラッチ460a～460dにそれぞれ接続されている。

【0128】また、第1及び第2トランジスタ462、464のソースは共に第3トランジスタ（プルダウントランジスタ）466のドレインに接続され、このトランジスタ466のソースは基準電圧Vss端、例えば接地電圧端と接続される。このトランジスタ466のゲートは第2ブリデコード438～442からのブリデコーディング信号、例えばDCAバー3バー4、DCAバー

5、バー6、DCAバー7バー8を入力とするNORゲート446の出力端と接続される。また第1及び第2トランジスタ462、464のゲートはそれぞれDCAバー2とDCA2を入力としている。これら入力信号はブリデコーディング信号DCA2、DCAバー2、ブリデコーディング信号DCAバー3バー4、DCAバー5、バー6、DCAバー7バー8、オーバーラップされたブリデコーディング信号DCAバー1バー2～DCA12の順序で発生する。従って、トランジスタ462又は464とプルダウントランジスタ466がターンオンされた後にインバータ458a～458dが活性化する。列アドレス信号CA1～CA8が全部論理“ロウ”と仮定するとトランジスタ462がターンオンされ、その後トランジスタ466がターンオンされる。

【0129】すると、論理“ハイ”の信号DCAバー1バー2によりインバータ458aがターンオンされ、列選択信号CSL0は論理“ハイ”になる。それから列アドレス信号CA1が論理“ハイ”に変更されると、論理“ハイ”の信号DCA1バー2により列選択信号CSL1が論理“ハイ”になる。しかし、論理“ロウ”の信号DCAバー1バー2により予め予定された時間遅延後、列選択信号CSL0は論理“ロウ”になる。このような繰り返しにより、順次的に変更される列アドレス信号CA1～CA8に応じて列選択信号CSL0～CSL255が一端の予め予定された部分でオーバーラップされながら順次発生する。図36のタイミング図には、書き込み動作で初期の外部列アドレスA₀とA₁～A₇がそれぞれ論理“ハイ”と論理“ロウ”である場合、列アドレス信号CA0～CA8と信号DCAバー1バー2、DCA1バー2、及び列選択信号CSL0、CSL1のタイミングが示されている。この図から、オーバーラップ部分により列選択時間が十分に保障されることが分る。

【0130】図47～図49（これらは図面の記載上3つに分かれているが、一つのタイミング図を示す）は、本発明による100MHzのシステム周波数、4のバースト長、3のバーCAS待ち時間での読出し動作を示すタイミング図である。初期列アドレスA₀が論理“ハイ”、A₁～A₇が論理“ハイ”のとき、これら信号DCAバー1バー2、DCA1バー2、CSL0、CSL1のオーバーラップ部分により十分な読出し時間が保障されることが分る。

【0131】4. データバス制御回路

バースト長の終了後、即ち有効なデータの出力又は入力後に不必要な内部動作を停止させることは電力消費を防止するうえで重要である。図5に示されたバースト長計数器350、バースト長検出回路352及び列アドレスリセット信号発生回路354で構成される制御回路により無駄な電力消費を抑えることができる。

【0132】バースト長計数器350は列アドレスリセット信号 ϕ_{ra} が論理“ロウ”のとき、計数動作が停止

される。また、論理“ハイ”の短いパルス信号であるプリセット信号B I T S E Tによりリセットされ、計数動作を再び始める。従って、このプリセット信号B I T S E Tと $\phi_{c_{A1}}$ の反転信号を入力するORゲートの出力がリセット端子に接続し、システムクロック信号 $\phi_{c_{L1}}$ がクロック端子に接続した通常の9ビットバイナリー計数器でバースト長計数器350は構成される。この計数器350からの計数值C N T I (I=0~8)はバースト長検出回路352に入力される。

【0133】図50と図51はバースト長検出回路352の詳細回路図である。バースト長検出回路352は上記計数值C N T Iと動作モード設定回路58によってプログラムされた動作モード信号S Zバー n を入力し、バーCASの活性化後にバースト長の終了を知らせるバースト長終了信号C O S Iを発生する論理回路を有する。例えば、図47~図49を参照すればバーCASの活性化後にプリセット信号B I T S E Tが論理“ハイ”から論理“ロウ”になると、バースト長計数器350は内部システムクロック信号 $\phi_{c_{L1}}$ のクロックを計数し、計数信号C N T 0、C N T 1を発生する。バースト長が4である場合にS Z 4=1(論理“ハイ”)なので、C N T 0とC N T 1が論理“ハイ”のときバースト長検出回路352は内部システムクロック信号 $\phi_{c_{L1}}$ のサイクルのパルス幅を有するバースト終了信号C O S Iを発生する。

【0134】一方、バーCASの活性化後に論理“ハイ”のパルス ϕ_c は、図43に示すNORゲート468、470で構成されたフリップフロップの出力、すなわちNORゲート470の出力を論理“ロウ”にラッチする。従って、バースト長信号C O S Rは図48に示したように論理“ロウ”になる。その後、バースト終了信号C O S Iが論理“ハイ”になると内部システムクロック信号 $\phi_{c_{L1}}$ により、バースト終了信号C O S Iはシフトレジスタ472による時間遅延後にNANDゲート474の二つの入力として論理“ハイ”になり、よって、NORゲート468の出力は論理“ロウ”になる。このとき、制御パルス信号 ϕ_c は論理“ロウ”なのでNORゲート470の出力は論理“ハイ”になり、バースト長信号C O S Rは論理“ハイ”になる。

【0135】図48から分るように、論理“ロウ”のバースト長信号C O S RはバーCASの活性化後にシステムクロックC L Kの4つのパルス、即ちバースト長を示す信号である。プログラムされたバーCAS待ち時間値を充足する時間遅延をする遅延回路476はバースト長信号C O S Rを入力し、遅延バースト長信号C O S D Qを出力する。遅延バースト長信号C O S D QはバーCAS待ち時間を考慮して遅延されたバースト長を示す信号である。図48を参照すれば、バーCAS待ち時間が3なので(C L 3は論理“ハイ”である)伝送スイッチ478がターンオンされ、遅延バースト長信号C O S D Q

はバースト長信号C O S Rが内部システムクロック信号 $\phi_{c_{L1}}$ の2クロックサイクル遅延された信号となる。論理“ハイ”の遅延バースト長信号C O S D Qはデータ出力バッファ284をディスエーブルする。

【0136】図52には列アドレスリセット信号発生回路354の詳細回路図を示す。図47~図49及び図35~図37のタイミング図を参照すれば、バーCASの活性化前に行アドレスバッファ60をパワーオンする信号 $\phi_{A_{L1}}$ は論理“ハイ”にある。バーCASの活性化後、論理“ハイ”になる制御パルス信号 ϕ_c にตอบสนองしてNANDゲート482、484は論理“ハイ”を出力する。従って、フリップフロップを構成するNANDゲート480は論理“ロウ”にラッチされ、列アドレスリセット信号 $\phi_{c_{A1}}$ は論理“ハイ”になる。同様に、制御パルス信号 ϕ_c が論理“ハイ”のとき論理“ロウ”になるバースト長信号C O S RにตอบสนองしてNANDゲート486は論理“ロウ”を出力する(列エネーブル信号 $\phi_{r_{E1}}$ と列エネーブル信号 $\phi_{r_{E2}}$ のうちどちらか一つは論理“ハイ”である)。従って、 r_{E1} アドレスエネーブル信号 $\phi_{c_{A1c}}$ は論理“ハイ”になる。その後、C O S Rが論理“ハイ”になると、列アドレスリセット信号 $\phi_{c_{A1}}$ と列アドレスエネーブル信号 $\phi_{c_{A1c}}$ は論理“ロウ”になる。しかし、66MHz以下のような低い周波数のシステムクロックの場合、バースト長信号C O S Rより先の信号 $\phi_{A_{L1}}$ 、列エネーブル信号 $\phi_{r_{E1}}$ 、又は列エネーブル信号 $\phi_{r_{E2}}$ が論理“ロウ”になり、列アドレスリセット信号 $\phi_{c_{A1}}$ が論理“ロウ”になる。従って、この論理“ロウ”の列アドレスリセット信号 $\phi_{c_{A1}}$ によりバースト長計数器350と列アドレス計数器346はリセットされ、不必要な動作が防止される。

【0137】5. データ伝送クロック発生回路

データ伝送クロック発生回路は、データ出力マルチプレクサと入力データデマルチプレクサを介してデータを伝送するためのクロックを発生する回路である。データ伝送クロック発生回路は、図5に示すデータ伝送制御計数器348と読出し及び書込みデータ伝送クロック発生回路356、358を含んでいる。列アドレス計数器346は、先に述べたように33MHz以下のシステムクロックを使用する場合より速いプリチャージ時間を確保するため、逡倍されたシステムクロックC N T C L K 9を同期クロックとして使用する。この場合にデータはシステムクロックC L Kに同期して伝送されなければならないので、データ伝送制御計数器348が必要である。しかし、このような技術が不必要である時は、図39に示した列アドレス計数器346はクロックC N T C L K 9の代わりにシステムクロック信号 $\phi_{c_{L1}}$ を同期計数クロックとして使用し、図38に示す選択回路391はこの計数器からの下位2ビット出力P C A 0とP C A 1を入力して列アドレス信号C A 0とC A 1を出力する。そして読出し及び書込みデータ伝送クロック発生回路356、

358はデータ伝送制御計数器348からの出力RCA0とRCA1の代りに前記信号CA0とCA1を入力する。

【0138】図53は伝送制御計数器の概略的ブロック図である。同図において、データ伝送制御計数器348は列アドレスバッファ344からの列アドレス信号CA0とCA1を入力し、この信号CA0とCA1から始まる順次の内部列アドレス信号をシステムクロック信号 ϕ_{clk} に同期して発生する2ビット計数器488、490を有している。また、データ伝送制御計数器348は列アドレスバッファ344からの外部列アドレス信号FCA0、FCA1と、前記2ビット計数器からの内部列アドレス信号を直列列アドレス列(train)に発生する選択回路492、494を有する。2ビット計数器を構成するステージ488と490は図40と図41に示すステージとそれぞれ同一の構成を有する。相違点はクロックCNTCLK9の代りにシステムクロック信号 ϕ_{clk} を使用するという点である。選択回路494、492のそれぞれは図38に示された選択回路391と同一の構成を有する。選択回路391内の伝送スイッチ394の入力信号ECAIと入力信号PCAIはそれぞれFCAIと対応2ビット計数器の出力信号に替わる(Iは0又は1)。また、バースト長信号COSRはNANDゲート400、402の第3入力に供給される。選択回路492、494でバースト長信号COSRを使用するのは、バースト長終了時に不要な内部動作を防止するためである。この2ビット計数器と選択回路に対する動作説明は図40、図41及び図38に係って説明された部分を参照する。データ伝送制御計数器348の出力RCA0、RCA1と、その反転信号バーRCA0、バーRCA1は、データ線上のデータ伝送タイミングを制御するためにバーCAS待ち時間あるいは外部システムクロック周波数を示す信号に従って、適切に時間遅延された信号である。

【0139】図54は、データ出力マルチプレクサで用いられる読出しデータ伝送信号RDTP0~RDTP3を発生する読出しデータ伝送クロック発生回路356の詳細回路図である。同図において、読出しデータ伝送クロック発生回路356は、列アドレス信号RCA0、バーRCA0、RCA1、バーRCA1をデコーディングするNANDゲート498と、このデコーディング信号を入力し待ち時間に従って異なる時間遅延により読出しデータ伝送信号を発生する遅延回路500と、読出し動作で読出しデータ伝送信号を出力し、且つ書き込み動作で出力を論理“ロウ”にリセットするNANDゲート496とから構成される。NANDゲート496の出力は書き込み動作で論理“ハイ”になる書き込み制御信号 ϕ_{wcc} に応答して全部論理“ハイ”となる。NANDゲート498のそれぞれは論理“ハイ”の二つの入力に応答して論理“ロウ”を出力するデコーダとして作用する。各遅延

回路500は複数のデータ通路を有するシフトレジスタ503と、このデータ通路にそれぞれ接続したスイッチ497、501、502で構成され、待ち時間信号CL3、CL4により選択されたスイッチを通じて相互に異なる遅延時間を提供する作用をする。図48を参照すれば、初期外部列アドレス A_0 と A_1 がそれぞれ論理“ハイ”1と論理“ロウ”0である場合、データ伝送制御用の列アドレス信号RCA0とRCA1及びこれらからの読出しデータ伝送信号RDTP0~RDTP3のタイミングが示されている。待ち時間値が3なので、スイッチ502はターンオンされる。

【0140】図55にデータ出力マルチプレクサ268で使用されるパルス信号 ϕ_{cl} を発生する回路の詳細回路図を示す。同図において、バーCASの活性化後に論理“ハイ”になる制御パルス信号 ϕ_c は遅延回路505を介してフリップフロップ504の出力を論理“ハイ”になるようにする。一方、待ち時間信号CL3とCL4のうち一つが論理“ハイ”であればNANDゲート506の出力は論理“ハイ”となる。つまり、パルス信号 ϕ_{cl} は論理“ハイ”となる。その後、制御パルス信号 ϕ_c が論理“ロウ”になると、論理“ハイ”のCL3の場合は、パルス信号 ϕ_{cl} は内部システムクロック信号 ϕ_{clk} のおよそ1サイクル遅延後に論理“ロウ”になり、論理“ハイ”のCL4である場合にはパルス信号 ϕ_{cl} は内部システムクロック信号 ϕ_{clk} のおよそ2サイクル遅延後に論理“ロウ”になる。しかし、バーCAS待ち時間が1又は2の場合にはCL3とCL4は論理“ロウ”であり、NANDゲート506の出力は論理“ロウ”なので ϕ_{cl} は常に論理“ロウ”となる。

【0141】図57~図59(これらは図面の記載上3つに分かれているが、一つのタイミング図を示す)はバーRASの活性化後にバーCAS割り込み読出し動作のタイミング図である。66MHzのシステムクロックにより3のバーCAS待ち時間と4のバースト長で動作が行なわれる。時間 t_1 で外部列アドレス A_0 、 A_1 、 A_2 、…、 A_8 =1、0、0、…、0と一緒に読出し命令が発せられ、時間 t_2 で外部列アドレス A_0 、 A_1 、 A_2 、…、 A_8 =0、1、0、…、0と一緒にバーCAS割り込みによる読出し命令が発せらる。バーCAS割り込み直前にRCA0=0、RCA1=1となる。バーCAS割り込み時に外部列アドレス A_0 と A_1 がそれぞれ論理“ロウ”と論理“ハイ”に入力されたので、時間 t_4 でRA0=0、RCA1=1である。従って、バーCAS割り込み直前の列アドレスとバーCAS割り込み時の列アドレスが同一なので、読み出されたデータは時間 t_1 と t_2 と同一のデータ線対DIO₁、バーDIO₁を通過して直列に伝送される。

【0142】もし、バーCAS割り込み直前の読出しデータが論理“ハイ”で、バーCAS割り込み時の読出しデータが論理“ロウ”であれば、図59に示されている

時間 t_1 と t_2 の間で DIO_2 のタイミング図に示したように1、0の直列データ伝送がデータ線 DIO_2 上で行なわれる。従って、図27に示したように、もし直列レジスタ274、278間を分離する手段276がない場合、この直列データはデータ出力マルチプレクサ268内の直列レジスタ274、278にそれぞれラッチされ、読出しデータ伝送信号 $RDT P 2$ によってターンオンされたデータ伝送スイッチ280を通じてデータ出力バッファに直列にのみ伝送される。しかし、回路の動作速度は例えば周囲温度などの周囲環境により変化するので、伝送スイッチ280又はデータ出力バッファ284の動作速度の変動に起因する直列データの衝突を防止するための手段が必要である。このパルス信号 ϕ_{cl} はそのようなデータ衝突を防止するため直列レジスタ274、278間を分離する信号として用いられる。図59においてPで示す論理“ハイ”の信号 ϕ_{cl} により、二つの直列データ間のデータ衝突が防止されることが分る。

【0143】図56は書込みデータ伝送クロック発生回路358の詳細回路図である。書込みデータ伝送クロック発生回路358はデータ入力マルチプレクサ314で50
使用される書込みデータ伝送信号 $WDTP0 \sim WDTP3$ を発生するための回路である。この回路358は列アドレス信号 $RCA0$ 、 $\overline{RCA0}$ 、 $RCA1$ 、及び $\overline{RCA1}$ をデコーディングするNANDゲート508と、デコーディングされた信号を内部システムクロック信号 ϕ_{cl} に同期する同期回路510と、同期された書込みデータ伝送信号をゲーティングするNANDゲート512とから構成される。読出し動作又はデータ入出力マスキング動作又はバーCAS割り込み動作中に線514は論理“ロウ”なので、NANDゲート512をす
べてリセットする。参照番号516は遅延回路である。図35～図37のタイミング図に示されたように $RCA0=1$ 、 $RCA1=0$ であるとする時、論理“ハイ”のパルス信号 $WDTP1$ を発生し、その次に連続するアドレス $RCA0 (=0)$ と $RCA1 (=1)$ により論理“ハイ”のパルス信号 $WDTP2$ が発生する。

【0144】6. データ線ブリチャージ回路

データ線ブリチャージ回路は I/O 線、 PIO 線、及び DIO 線をブリチャージするための制御信号を発生する回路である。書込み及び読出し動作中に、データ通路上の線間にデータ伝送とブリチャージが交互に連続して行
なわれる。交互にブリチャージを行なうため、外部列アドレスA_i から発生された列アドレス信号 $CA1$ が使用される。

【0145】図60は I/O 線と PIO 線をブリチャージする制御信号を発生する回路の詳細回路図である。 $RA11$ と $CA9$ は、上述したようにバンク選択信号であり、 I/O 線と PIO 線はブリチャージ状態に初期化されている。バーCASの活性化後、制御パルス信号 ϕ_c がいったん論理“ロウ”から論理“ハイ”になると(列

エネーブル信号 ϕ_{re} は論理“ハイ”である)、その後NANDゲート518は全部エネーブルされる。 $CA1$ が論理“ロウ”なら(バー $CA1$ は論理“ハイ”)ブリチャージ信号 $PIOPR1$ と $IOPR1$ は論理“ハイ”を維持する(バー $PIOPR1$ とバー $IOPR1$ は論理“ロウ”になる)。従って、図26においてブロック選択情報信号 BLS が論理“ハイ”であれば、 I/O 線対(I/O_2 、 $\overline{I/O_2}$)と(I/O_3 、 $\overline{I/O_3}$)は継続してブリチャージされ、 I/O 線対(I/O_0 、 $\overline{I/O_0}$)と(I/O_1 、 $\overline{I/O_1}$)はブリチャージが中断されデータの伝送用意をする。図30に示された PIO 線対(PIO_2 、 $\overline{PIO_2}$)と(PIO_3 、 $\overline{PIO_3}$)も同様にブリチャージされる。その後、 $CA1$ が論理“ハイ”になると反対に I/O 線対(I/O_0 、 $\overline{I/O_0}$)と(I/O_1 、 $\overline{I/O_1}$)と PIO 線対(PIO_0 、 $\overline{PIO_0}$)と(PIO_1 、 $\overline{PIO_1}$)がブリチャージされる。一方、バーCAS割り込み動作でバーCASの活性化後に発生する論理“ロウ”の短い制御パルス信号 ϕ_c はブリチャージ信号 $PIOPR1$ 、バー $PIOPR1$ 、 $IOPR1$ 、バー $IOPR1$ を全部論理“ハイ”のパルスとなるようにする。従って、バーCAS割り込み時に、列アドレス入力前に I/O 線対と PIO 線対とをブリチャージする。このバーCASブリチャージにより、待機時間なしに内部動作が高速で行なわれるようになる。なお、参照番号520は遅延回路である。

【0146】図61は DIO 線をブリチャージするための制御信号を発生する回路の詳細回路図である。前記と同様に制御パルス信号 ϕ_c が論理“ロウ”になると、その後 DIO 線ブリチャージ信号 $DIOPR1$ 、バー $DIOPR1$ は全部論理“ハイ”になり、 $WCA1$ とバー $WCA1$ は全部論理“ロウ”になってすべての DIO 線をブリチャージする。即ち、バーCAS割り込み動作の場合となる。制御パルス信号 ϕ_c が論理“ハイ”になり、 $CA1$ が論理“ロウ”であれば(バー $CA1$ は論理“ハイ”)信号 $DIOPR1$ と $WCA1$ はそれぞれ論理“ハイ”と論理“ロウ”を維持し、バー $DIOPR1$ とバー $WCA1$ はそれぞれ論理“ロウ”と論理“ハイ”となる。従って、読出し又は書込み動作中、図27に示されたブリチャージ回路263c、263dはオン状態を維持し、ブリチャージ回路263a、263bはターンオフされる。すると、線 DIO_2 、 $\overline{DIO_2}$ と DIO_3 、 $\overline{DIO_3}$ が継続してブリチャージされ、 DIO_0 、 $\overline{DIO_0}$ と DIO_1 、 $\overline{DIO_1}$ はデータ伝送の用意をする。書込み動作の場合は、図29のトランジスタ318c、318dがオン状態を維持し、トランジスタ318a、318bはターンオフされ、バッファ324c、324dはオフ状態を維持し、バッファ324a、324bはラッチ320に貯蔵されたデータ状態に従ってデータを伝送する。その後、 $CA1$ が論理“ハ

イ”になったときは、前記動作と反対に動作する。

【0147】図62はP I Oドライバ330用のバンク選択信号D T C P 1又はD T C P 2を発生する回路の詳細回路図である。書込み命令が発せられると、その後書込み制御信号 ϕ_{re} と制御パルス信号 ϕ_{cr} は論理“ハイ”になる。このとき、R A 1 1又はC A 9が論理“ロウ”にある時、D T C P 1が論理“ハイ”にラッチされるので、第1バンクが選択される。プリチャージ命令が第1バンクに発せられると列エネーブル信号 ϕ_{re} は論理“ロウ”になり、この第1バンク選択信号D T C P 1は論理“ロウ”になる。一方、第1バンクの書込み動作中に第2バンクの書込み命令が発せられるとフリップフロップ522'は論理“ロウ”にラッチされ、第2バンク選択信号D T C P 2は論理“ハイ”になる。D T C P 1とD T C P 2は対応バンクのP I Oドライバ330にそれぞれ接続される。図30を参照すると、バンク選択信号D T C P iとブロック情報信号B L Sが論理“ハイ”であればスイッチ332はエネーブルされ、対応D I O線上のデータを通過させることが分かる。

【0148】7. データ出力バッファ制御回路
データ出力バッファ制御回路は図26に示されたデータ出力バッファ284からのデータ出力を制御するための回路である。データ出力バッファは読出し動作でシステムクロックC L Kの予め予定された毎立上りエッジのみデータを出力することが重要である。同期D R A Mはバ－C A S待ち時間とバースト長が設定された期間のみデータを出力しなければならないので、残りの期間内でデータの出力を禁止することはチップの性能向上又は電力消耗の防止のために望ましい。また、所定のシステムクロック周波数（本実施例では33MHz）以下の1

【0149】図63はデータ出力バッファのデータ出力を遮断するための制御信号を発生する制御回路の詳細回路図である。NANDゲート524は書込み動作時に論理“ロウ”を出力する。クロック信号 ϕ_{cr} はバ－C A Sの活性化後に内部システムクロック信号 ϕ_{clk} の一番目の立上りエッジで論理“ハイ”になりつつ、内部システムクロック信号 ϕ_{clk} の1クロックサイクルの間、論理“ハイ”を維持する。同様に、クロック信号 ϕ_{rcr} はバ－W Eの活性化後に内部システムクロック信号 ϕ_{clk} の1クロックサイクルの間、論理“ハイ”を維持する。従って、書込み命令の場合のようにバ－C A Sとバ－W Eが全部活性化されると、NANDゲート524は論理“ロウ”を発生し、制御信号 ϕ_{rst} は論理“ロウ”になる。また、外部信号D Q Mによりデータ出力マスキングが要請される時、図34に示すD Q Mバッファ342は図32に示す論理“ロウ”のクロック信号 ϕ_{oof} を発生する。従って、NANDゲート526は論理“ハイ”のパルスを発生し、その結果、論理“ロウ”のパルス ϕ

ϕ_{rst} を発生する。同様に、バースト長終了後に待ち時間C L Jによる遅延後、論理“ハイ”になる遅延バースト長信号C O S D Qにより制御信号 ϕ_{rst} も論理“ロウ”となる。従って、図28に示すデータ出力バッファ284の出力は論理“ロウ”の制御信号 ϕ_{rst} に应答して“ハイ”インピーダンスとなる。結局、データ出力バッファ284はデータ出力マスキング信号D Q Mに应答してデータ出力マスキング命令の後、次のシステムクロックC L Kの立上りエッジでデータ出力を遮断する。また、バーストデータ出力の終了時にはデータ出力バッファ284の出力は“ハイ”インピーダンスとなる。

【0150】33MHz以下の外部システムクロックが使用される場合、内部システムクロック信号 ϕ_{clk} に関係なくデータが出力されるように制御信号 ϕ_{re} は待ち時間信号C L 1と接続することができる。33MHz以下のシステムクロックにおいて、待ち時間信号C L 1は論理“ハイ”を維持するので信号 ϕ_{re} は論理“ハイ”である。よって、図28に示したデータ出力バッファ284で伝送スイッチ286、286'は常にターンオンされ、これによって内部システムクロック信号 ϕ_{clk} の制御を受けない。しかし、33MHzより高い周波数のシステムクロックが使用される時に上記信号C L 1は論理“ロウ”にあり、信号 ϕ_{re} は論理“ロウ”にある。従って、この伝送スイッチ286、286'はシステムクロック信号 ϕ_{clk} の制御下で開閉されることになる。

【0151】動作

以下、本発明の同期D R A Mの動作及び使用方法を説明する。先ず、読出し動作について述べる。図47～図49は、100MHzの外部システムクロックを使用し、4のバースト長と3のバ－C A S待ち時間で読出し動作を示しているタイミング図である。時間 t_1 で活性化命令が発せられ、バ－R A Sの活性化と共に外部行アドレスが入力される。すると、バ－R A Sバッファ56はバ－R A Sパルス信号 ϕ_{re} を発生し、外部アドレスA_iにより第1バンク12又は第2バンク14のうち一つを決定するバンク選択のためのバ－R A Sクロック信号 ϕ_{rci} を発生する。図21の行マスタクロック発生回路62はこのバ－R A Sクロック信号 ϕ_{rci} を入力し行マスタクロック信号 ϕ_{ri} を発生する。行マスタクロック信号 ϕ_{ri} に应答して行アドレスバッファ60は選択されたバンクの行デコーダ18に供給される行アドレス信号R A I、バ－R A I（I=0～11）を発生する。

【0152】行デコーダ18はこの行アドレス信号R A I、バ－R A I（I=0～11）に应答して、第1～第4メモリセルアレイのそれぞれで選択されたサブアレイを示すブロック選択情報信号B L Sと、前記選択されたサブアレイ内の一本のワード線を選択するワード線選択信号を発生する。このワード線選択信号によって選択されたワード線を駆動し、対応ビット線上にデータを読み出す感知動作は通常の技術によって行なわれる。このよ

うなバーRASチェーンの終了後、行制御クロック発生回路64はバーRAS-バーCAS遅延時間 t_{rcd} を保障するためのバーRASチェーン終了通知信号 ϕ_{rcd} を発生する。時間 t_r において読出し命令が発せられ、列アドレスが列アドレスバッファ344に入力される。論理“ロウ”のバーCAS信号にตอบสนองしてバーCASバッファ338は制御パルス信号 ϕ_c 、 ϕ_{cA} 、 ϕ_{cP} 、及びプリセット信号BITSETを発生する。このバーRASチェーン終了通知信号 ϕ_{rcd} にตอบสนองして列エネーブルクロック発生回路66から発生された列エネーブル信号 ϕ_{rec} と、制御パルス信号 ϕ_c にตอบสนองして列アドレス信号の発生に係る回路を制御するための列アドレスリセット信号 ϕ_{cA} が列アドレスリセット信号発生回路354から発生される。列アドレスバッファ344はバーCASバッファからの制御パルス信号 ϕ_{cA} と列アドレスリセット信号 ϕ_{cA} にตอบสนองして、列アドレス信号CA0~CA9を出力する。従って、列アドレス信号はバーRASチェーン終了通知信号 ϕ_{rcd} とバーCASの活性化を示すバーCASバッファ信号 ϕ_c によって発生された列アドレスリセット信号 ϕ_{cA} にตอบสนองする列アドレスバッファ344から発生するので、バーCASの活性化(時間 t_r)から列アドレス信号の出力までが短時間となる。

【0153】列アドレスリセット信号 ϕ_{cA} が論理“ハイ”になった後、バースト長を検出するためシステムクロック信号 ϕ_{clk} の計数動作がバースト長計数器350で行なわれる。バースト長計数器350からの計数信号CNT0、CNT1にตอบสนองしてバースト長検出回路352はバースト終了信号COSIを発生し、バーCASの活性化後にバースト長を示すバースト長信号COSRを発生する。また、バースト長によって定められるデータ出力期間の間にデータ出力バッファ284がデータを発生するように、このバッファ284を制御するための遅延バースト長信号COSDQが、予め設定された待ち時間値に依存するシステムクロックの周期分バースト長信号COSRから遅延される。バーCAS待ち時間は3であるので、遅延バースト長信号COSDQはバースト長信号COSRから内部システムクロック信号 ϕ_{clk} のおよそ2周期遅延された信号となる。従って、論理“ロウ”の遅延バースト長信号COSDQはバーCAS待ち時間値とバースト長によって定められる期間(この場合は、時間 t_r と t_r との間の期間)を有することになる。

【0154】列アドレス計数器346はバーCASバッファからのプリセット信号BITSETと列アドレスエネーブル信号 ϕ_{cA} にตอบสนองして列アドレスバッファ344からの列アドレス信号を負荷し、バースト長とアドレスモードによりクロックCNTCLK9を計数しつつ連続列アドレス信号PCA0~PCA8を発生する。列アドレスバッファ344は前記初期の外部列アドレスとこ

の連続列アドレス信号PCA0~PCA8で構成された連続した列アドレス信号CA0~CA8を発生する。

【0155】図47~図49に示すタイミング図はバイナリーアドレスモード(列アドレス信号 $\phi_{INTEL}=0$)で外部列アドレス A_0 は論理“ハイ”で、残りの外部列アドレス $A_1 \sim A_8$ は全部論理“ロウ”と仮定する場合を示している。バースト長は4に設定されているので、モード制御信号SZ4だけが論理“ハイ”にある。従って、図39のアドレス計数器346を構成する第1計数部の下位2個のステージST1、ST2のみが2進計数動作を行なう。また、100MHzで動作するのでクロックCNTCLK9は内部システムクロック信号 ϕ_{clk} と同一である。従って、データ伝送制御計数器348の出力RCA0、RCA1は列アドレス計数器346の出力PCA0、PCA1と同一である。この計数器348の出力RCA0とRCA1は読出しデータ伝送クロック発生回路356に入力され、読出しデータ伝送パルスRDTP0~RDTP3を発生する。

【0156】一方、列アドレスバッファ344からの列アドレス信号CA0~CA8は列デコーダ24に入力され、連続した列アドレス信号CA1とCA2により図44に示されたブリデコーダ436は部分的にオーバーラップされたブリデコーディング信号DCAバー1バー2とDCA1バー2を発生する。このブリデコーディング信号を入力する図46に示す主列デコーダ444は列選択信号CSL0とCSL1を発生する。列選択信号CSL0は、上述したようにビット線対上のデータが第1I/O線対(I/O₀、バーI/O₀)と(I/O₁、バーI/O₁)に伝送されるようにするので、列選択信号CSL0の1番目のパルス532によって発生された第1I/O線対上のデータは対応するI/O線選択回路と対応する第1PIO線対を通じてI/Oセンスアンプに入力される。I/Oセンスアンプは活性化信号535を用いて第1PIO線対上のデータを増幅し、対応第1データ線対(DIO₀、バーDIO₀)と(DIO₁、バーDIO₁)に供給する。このとき、DIO線ブリチャージ信号DIOPR1は論理“ハイ”なので第2データ線対(DIO₂、バーDIO₂)と(DIO₃、バーDIO₃)はブリチャージ状態にある。この第1データ線対を通じて伝送されたデータは、図27に示したデータ出力マルチプレクサ268内のレジスタ278に貯蔵される。

【0157】第1データ線対の中でデータ線対(DIO₁、バーDIO₁)を通じて伝送されたデータはパルスRDTP1によって選択され、共通データ線対(CDL、バーCDL)及びデータ出力ラッチ282及びデータ出力線対(D0、バーD0)を通じてデータ出力バッファに入力される。その後、同様に、列選択信号CSL1のパルス533によって発生された第2I/O線対(I/O₂、バーI/O₂)と(I/O₃、バーI/O₃)と

、) 上の並列データがデータ出力バッファに直列に入力される。そして、列選択信号CSL0の2番目のパルス534によって発生した第1I/O線対の中でI/O線対(I/O₀、バーI/O₀)上の最後のデータがデータ出力バッファに入力される。仮に、読み出されたデータが1、0、1、0とすると、データ出力バッファの出力DOU_Tはデータ出力バッファをエネーブルする制御信号φ_{1,5,7}により、図49に示したように出力される。従って、制御信号φ_{1,5,7}が論理“ロウ”の場合にデータ出力バッファ284は“ハイ”インピーダンスとなり、10 不必要な動作が防止される。また、バーCAS活性化後に3番目のシステムクロックCLKの立上りエッジで1番目のデータが発生し、連続する4ビットのデータがこのシステムクロックCLKに同期して出力されることが分る。

【0158】図35～図37は、66MHzのシステムクロックを使用し、2のバーCAS待ち時間と4のバースト長での書き込み動作を示すタイミング図である。上述の読出し動作の場合と同様に、外部アドレスA₀とアドレスA₁～A₇はそれぞれ論理“ハイ”と論理“ロウ”20 に印加され、データ入力バッファの入力データDINは1、0、1、0の直列データの場合である。上述の読出し動作の場合と同様に、バーRASチェーンが動作しバースト終了信号COSIによりバースト長信号COSRが発生される。書き込みデータ伝送パルスWDTP0～WDTP3を発生するための連続的な列アドレス信号RCA0、RCA1が列アドレス信号CA0とCA1によって発生される。また、時間t₁で書き込み命令を発し論理“ロウ”の信号バーWEにより書き込み制御信号φ₁と書き込み制御信号φ_{1,5,7}がバーWEバッファ340から発生30 される。

【0159】これら列アドレス信号RCA0とRCA1に回答して書き込みデータ伝送クロック発生回路358は直列データを並列データに変更するための書き込みデータ伝送パルスWDTP0～WDTP3を発生する。データ入力バッファ312を介して入力される入力データDINは、内部システムクロック信号φ_{clk}に同期して入力線DI上に示されたような直列データとして出力される。データ入力デマルチプレクサ314は制御信号WCA1、バーWCA1と書き込みデータ伝送パルスWDTP0～WDTP3の制御下でデータ線DIO₀、バーDIO₀、DIO₁、バーDIO₁上に示されたようなタイミングを有する並列データを発生する。この並列データは制御信号IOPR1、バーIOPR1の制御下でPIオリンドライバ330を介して対応I/Oバスに供給され、列選択信号CSL1によって選択されたビット線を通じて対応メモリセルに書き込まれる。

【0160】3番目として割り込み動作について説明する。図57～図59は、66MHzのシステムクロックを使用し、3のバーCAS待ち時間と4のバースト長で50

のバーCAS割り込み読出し動作を示すタイミング図である。時間t₁の読出し命令で外部アドレスA₀と外部アドレスA₁～A₇がそれぞれ論理“ハイ”と論理“ロウ”に印加され、時間t₁のバーCAS割り込み読出し命令で外部アドレスA₀と外部アドレスA₁～A₇はそれぞれ論理“ハイ”と論理“ロウ”に印加される場合である。時間t₁での読出し命令によって読み出されなければならないデータの中で、最後の2ビットのデータが時間t₁でのバーCAS割り込み命令により読み出されないということ以外には上述した書き込み動作と同一である。時間t₁からクロックCLKの2周期前に活性化命令が発せられ、その後行アドレスにより行なわれるバーRASチェーンの動作は前述の通りである。読出し命令が時間t₁で発せられ、その後論理“ロウ”の列アドレス信号CA1とCA2により図44に示されたブリデコーディング回路からの列ブリデコーディング信号DCAバー1バー2は論理“ハイ”となる。すると、常に論理“ロウ”のCA2～CA8により列選択信号CSL0はパルス600となる。論理“ハイ”にCA1が遷移された後に列ブリデコーディング信号DCA1バー2が論理“ハイ”になり、その後列選択信号CSL1はパルス601になる。

【0161】時間t₁でバーCAS割り込み読出し命令が発せられると、プリセット信号BITSETのパルス602によってリセットされたバースト長計数器350はシステムクロック信号φ_{clk}の2進計数動作を再度始め、バースト長4を計数した後にパルス603のバースト終了信号COSIを発生する。従って、最初の読出し命令からのバースト長を示す論理“ロウ”のバースト長信号COSRが発生される。このバースト長信号COSRによりバーCAS待ち時間が考慮されたデータ読出し区間を示す遅延バースト長信号COSDQが発生する。よって、総6ビットのデータが読み出される。

【0162】図38に示した列アドレスバッファ344はバーCASバッファ338から発生された論理“ハイ”の制御パルス信号φ_{ca}によりバーCAS割り込み時(時間t₁)に入力された外部列アドレスをラッチし、連続した4個の列アドレス信号を発生する。この時、列アドレス信号CA1は、最下位の列アドレス信号CA0が論理“ロウ”であるので、制御パルス信号φ_{ca}の論理“ロウ”の遷移後約2クロックサイクルの間、論理“ハイ”を維持する。これによって列選択信号CSL1は論理“ハイ”のパルス604となる。列アドレス信号CA1は論理“ロウ”になり約2クロックサイクルの間、論理“ロウ”を維持する。これによって、列選択信号CSL0は論理“ハイ”のパルス605となる。一方、時間t₁での入力列アドレスA₀(=1)とA₁(=0)と時間t₁での入力列アドレスA₀(=0)とA₁(=1)を用いて読出しデータ伝送パルスRDTP0～RDTP3が609、606、607、608のように発生す

る。

【0163】列選択信号CSL0のパルス600によりビット線対上のデータは第1I/O線対に伝送された後、第1PIO線対を通じて第1データ線対(DIO₀、バーDIO₀)と(DIO₁、バーDIO₁)に伝送される。図59にはDIO₀線とDIO₁線上にそれぞれ論理“ハイ”と論理“ロウ”のデータが並列に伝送されるのを示す。この並列データは図27のデータ出力マルチプレクサ268内の対応ラッチ278a、278bに貯蔵され、その後RDTP1のパルス606の時にはDIO₀線と関連したラッチ278bに貯蔵されたデータが出力される。結局、データ出力バッファ284は論理“ロウ”のデータRD1を出力する。列選択信号CSL1のパルス601により選択されたデータは第2I/O線対と第2PIO線対を通じて第2データ線対(DIO₂、バーDIO₂)と(DIO₃、バーDIO₃)に伝送され、その後ラッチ278c、278dに貯蔵される。DIO₂とDIO₃上のデータはそれぞれ論理“ハイ”と論理“ロウ”であることが分る。RDTP2のパルス607はラッチ278cに貯蔵されたデータを出力させ、その後データ出力バッファは論理“ハイ”のデータRD2を出力する。同様に、列選択信号CSL1のパルス604により選択された並列データはデータ線DIO₂とDIO₃に伝送される。同図は論理“ロウ”のデータと論理“ハイ”のデータがデータ線DIO₂とDIO₃上にそれぞれ伝送されることを示している。

【0164】図27に示す伝送スイッチ276は ϕ_{c1} の論理“ハイ”のパルスPによってオフ状態にある。しかし、以前動作でこのDIO₂線を通じてラッチ278cに貯蔵されたデータが、RDTP2のパルス607によりデータ出力バッファ284に伝送された後、パルスPは論理“ロウ”になる。すると、このスイッチ276はオン状態になる。従って、データ線DIO₂とDIO₃上のデータはラッチ278c、278dにそれぞれ貯蔵される。その後、RDTP2のパルス607によりラッチ278cに貯蔵されたデータが出力され、その結果論理“ロウ”のデータRD3がデータ出力バッファ284を介して出力される。その後、RDTP3のパルス608によりラッチ278dに貯蔵されたデータが出力され、その結果データ出力バッファ284は論理“ハイ”のデータRD4を出力する。同様に列選択信号CSL0のパルス605により選択されたデータは第1データ線対に伝送される。論理“ロウ”と論理“ハイ”のデータがデータ線DIO₀とDIO₁上にそれぞれ並列に伝送されることが分る。これらデータもRDTP0とRDTP1のパルス609、610によって順次選択され、データ出力バッファ284は論理“ロウ”のデータRD5と論理“ハイ”のデータRD6を順次に出力する。その後、論理“ハイ”のCOSDQによってデータ出力バッ

ファ284は“ハイ”インピーダンスとなる。

【0165】図64は選択された一つのバンクを使用し2のバーCAS待ち時間と4のバースト長で読出し及び書込み動作を示しているタイミング図である。時間 t_1 で活性化命令、時間 t_2 で外部列アドレスCA0による読出し命令、時間 t_3 で外部列アドレスCB0によるバーCAS割り込み読出し命令、時間 t_4 で外部列アドレスCC0によるバーCAS割り込み書込み命令、時間 t_5 で外部列アドレスCD0によるバーCAS割り込み書込み命令、そして時間 t_6 でプリチャージ命令が与えられる。そして、時間 t_6 、 t_7 、 t_8 、及び t_9 でデータ入出力マスキング命令が発している。時間 t_1 で発せられる読出し命令により時間 t_2 、 t_3 で2ビットのデータQA0とQA1が出力され、時間 t_4 で発せられる読出し命令により時間 t_5 、 t_6 で2ビットのデータQB0とQB1が連続的に出力される。時間 t_7 で発するデータ出力マスキング命令により時間 t_8 でデータ出力が遮断され、“ハイ”インピーダンス状態となる。時間 t_9 で発せられる書込み命令により時間 t_{10} 、 t_{11} で書込みデータDC0とDC1が入力される。時間 t_{12} で発せられるデータ入力マスキング命令は時間 t_{13} で書込みデータを割り込んでいる。同様に、時間 t_{14} で発せられる書込み命令により時間 t_{15} と t_{16} で書込みデータDD0とDD1が入力され、時間 t_{17} と t_{18} で発せられたデータ入力マスキング命令は時間 t_{19} で発せられるプリチャージ命令後に時間 t_{20} と t_{21} でデータの書込みを割り込む。

【0166】図65は選択された一つのバンクを用いて2のバーCAS待ち時間と4のバースト長で読出しと書込み動作を示す。読出し及び書込み及びデータ入出力マスキング動作は図64における動作と同一である。時間 t_1 で発せられる一時停止命令後、システムクロックCLKのパルス536に対応する内部システムクロック信号 ϕ_{c1} のパルスの発生を遮断する。従って、時間 t_2 でデータ出力は一時停止される。即ち、時間 t_3 で出力データと同一のデータが出力されことになる。同様に、時間 t_4 で発する一時停止命令により、対応パルスの発生が遮断された内部システムクロックは内部列アドレス計数器の動作を一時停止させ、時間 t_5 でデータの書込みを遮断する。

【0167】図66は2のバーCAS待ち時間と4のバースト長で第2バンクを使用する読出し動作を示すタイミング図である。時間 t_1 で第1バンクの活性化命令と時間 t_2 での読出し命令により、時間 t_3 から連続するデータQA0~QA3が出力される。また、時間 t_4 で第2バンクの活性化命令と時間 t_5 での読出し命令により時間 t_6 から連続するデータQB0~QB3が出力される。時間 t_7 で二つのバンクに対する同時プリチャージ命令が発せられるようになる。

【0168】図67は2のバーCAS待ち時間と4のバ

61

ースト長を用いてインタリーブ読出し動作のタイミング図である。時間 t_1 で第1バンクに対する活性化命令と時間 t_2 で第1バンクに対する読出し命令が発せられる。従って、時間 t_3 で第1バンクから読み出されたデータ $QA_0 \sim QA_3$ が出力される。同時に、時間 t_4 では第2バンクの活性化命令が発せられる。時間 t_5 で論理“ハイ”の列アドレス A_1 において選択された第2バンクの読出し命令が発せられ、第1バンクからの連続する4ビットのデータ $QA_0 \sim QA_3$ が出力された後にギャップなしに第2バンクからの読出しデータ $QB_0 \sim QB_2$ が出力される。時間 t_6 で論理“ロウ”の列アドレス A_1 によって選択された第1バンクの読出し命令が発し、第1バンクからの読出しデータ QC_0 と QC_1 が連続して出力される。その後、時間 t_7 で第2バンクの読出し命令が発せられ読出しデータ QD_0 と QD_1 が出力される。その後、時間 t_8 で第1バンクに対するブリチャージ命令が発している。時間 t_9 で第2バンクに対する読出し命令が発せられ、読出しデータ $QE_0 \sim QE_3$ が出力される。その後、時間 t_{10} で第2バンクに対するブリチャージ命令がアドレス A_{10} と A_{11} によって発せられるようになっている。

【0169】図64～図67の動作に関連して、一つのデータ入出力パッドを用いて種々の動作モードを説明したが、本実施例では8個のデータ入出力パッドをもっており、その他多くの応用が可能である。

【0170】他の実施例

上述したように、本発明の同期DRAMはパルスバーRASを使用することによって実施されたことが分る。しかし、本発明の同期DRAMはレベルバーRASを使用して実施することもできる。レベルバーRASに対する各種動作命令は図7と関連して既に説明した。本発明の同期DRAMがレベルバーRASによって動作するためにはいくつかの回路に対する変更が必要である。なお、その他の回路はそのまま使用できる。

【0171】図68はレベルバーRASを使用する場合のレベルバーRASバッファの詳細回路図である。同図において、レベルバーRASバッファ538を構成する入力バッファ70iと同期回路108は、図11に示されたパルスバーRAS用のバーRASバッファ56での入力バッファ及び同期回路108と同一である。同期回路108の出力はラッチ550を通じて第1バンク用の第1バーRAS信号発生回路540と第2バンク用の第2バーRAS信号発生回路542に共通に接続する。第1バーRAS信号発生回路540はアドレス A_{11} によって発生されたバンク選択信号バーSRA11にตอบสนองして第1バンクバーRAS信号を貯蔵するためのフリップフロップ545を有している。フリップフロップ545はNANDゲート544、546で構成されるNAND形フリップフロップである。

【0172】フリップフロップ545の一入力端はバン

62

ク選択信号バーSRA11と、リフレッシュ又はモード設定動作あるいはテストモードにおいて論理“ハイ”信号を入力するNORゲート548の出力端に接続され、他入力端は同期回路108からのバーRAS信号を入力する。第2バーRAS信号発生回路542の構成は第1バーRAS信号発生回路540の構成と同一である。従って、バーRASの活性化時に外部アドレス A_{11} が論理“ロウ”、即ちバーSRA11が論理“ハイ”ならフリップフロップ545は論理“ロウ”をラッチする。そこで、第1バンクバーRAS信号 ϕ_{rc1} は論理“ハイ”にラッチされる。このとき、第2バーRAS信号発生回路542内のNORゲート548'は論理“ハイ”を出力するので、フリップフロップ545'は以前の状態を維持する。即ち以前の動作中、バーRASの活性化時に A_{11} が論理“ハイ”、即ちSRA11が論理“ハイ”であれば第2バンクバーRAS信号 ϕ_{rc2} は論理“ハイ”である。従って、二つのバンクとも活性化状態を維持することになる。

【0173】一方、バーRASが論理“ロウ”から論理“ハイ”になると、次のシステムクロック信号 ϕ_{clk} の立上りエッジでラッチ550は論理“ハイ”をラッチする。従って、NANDゲート546、546'はすべて論理“ロウ”を入力するので、この信号第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は論理“ロウ”になる。即ち、この二つのバンクはブリチャージ状態になる。一方、リフレッシュ時ににおいてリフレッシュ信号バー ϕ_{rf} は論理“ロウ”で、モード設定動作でモード設定制御信号バー ϕ_{rcs} は論理“ロウ”を維持するので、リフレッシュ又はモード設定動作でこの第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は論理“ハイ”である。なお、信号 ϕ_{rl1} 、 ϕ_{rl2} は後述するレベルバーRAS制御回路に出力される信号で、前記第1バーRASクロック信号 ϕ_{rc1} 及び第2バーRASクロック信号 ϕ_{rc2} より速いタイミングを有している。

【0174】図69は特定アドレスSRA10とSRA11を発生するアドレスバッファを示す詳細回路図である。このアドレスバッファは行アドレスバッファと列アドレスバッファとは独立した別途のバッファである。アドレス A_{10} にตอบสนองしてSRA10を発生するアドレスバッファ552はパルスバーRASで使用され、レベルバーRASでは使用されない。アドレスバッファ552は入力バッファ70jと同期回路108で構成される前述したバッファと同一の構成を有する。アドレス A_{11} でตอบสนองしてSRA11を発生するアドレスバッファ554は、レベルバーRASを使用する場合に発生する第1バーRASクロック信号 ϕ_{rc1} 、第1バーRASクロック信号 ϕ_{rc2} にตอบสนองしてターンオンされる伝送スイッチ556を有する。この伝送スイッチ556は第1バンクと第2バンクのうちいずれか一つの活性化によってターン

オフされる。伝送スイッチ556は二つのバンクのうちいずれか一つの活性化後、システムクロック信号 ϕ_{clk} の次のクロックによって信号SRA11の論理レベルが変更されしきょうを防止するための作用をする。パルスバーRASでアドレスバッファ554が使用される場合、ラッチ558の出力がSRA11となるように変形された回路が使用される。

【0175】図70はレベルバーRASの場合における、モード設定制御信号バー ϕ_{rst} とリフレッシュ信号バー ϕ_{rf} を発生するレベルバーRAS制御回路の回路図である。パルスバーRASの場合に使用される図16のモード設定制御信号発生回路200の伝送スイッチはバーRASパルス信号 ϕ_r により開閉される。しかし、レベルバーRASの場合は、このバーRASパルス信号 ϕ_r の代りにレベルバーRASバッファ538からの信号 ϕ_{rl1} と ϕ_{rl2} によって伝送スイッチをゲーティングするようにしている。これはより速いタイミングの信号 ϕ_{rl1} と ϕ_{rl2} によりモード設定制御信号バー ϕ_{rst} 又はリフレッシュ信号バー ϕ_{rf} を発生させるためである。動作は図16に関連する説明と同一である。図71はレベルバーRASを使用する同期DRAMの動作タイミング図である。同図に示した動作タイミング図はパルスバーRASを使用する図64に示された動作タイミング図とほぼ同一である。図71でプリチャージ命令は時間 t_1 で発せられ、他の動作についてはパルスバーRASの場合と同一である。以上のように、本発明の同期DRAMのシステム設計及び使用方法を詳細に説明した。本発明の実施例は同期DRAMについて説明したが、本発明は他の半導体メモリでも適用しえることは明らかである。

【0176】

【発明の効果】上述のように本発明は、半導体メモリにおいて外部システムクロックに同期してデータの入出力が可能であり、高速データ伝送率と多様なシステムクロック周波数で動作することができ、入力データ又は出力データの数をプログラムできるという効果がある。また、バイナリー又はインタリーブモードで計数動作が可能な計数器を提供することもできる。

【0177】また本発明は、入力データ又は出力データの数に関係なく不必要なチップの内部動作を遮断し、多様な動作モードを設定できる。そして、高速データ伝送率で動作できるデータ伝送と、プリチャージを提供するデータ伝送回路とをもち、少なくとも2個のメモリバンクを有する一つの半導体メモリチップにおいて該メモリバンクの動作モードを設定できる回路を有する効果がある。

【図面の簡単な説明】

【図1】本発明による同期DRAMの同一チップ上に形成された種々の構成部分の概略的平面構成を示す図（左側部分）。

【図2】本発明による同期DRAMの同一チップ上に形成された種々の構成部分の概略的平面構成を示す図（右側部分）。

【図3】図1～2における、サブアレイのうちいずれか一つと、これに接続されるI/O線対の配置関係を示す図。

【図4】本発明による行制御回路を示す概略的ブロック図。

【図5】本発明による列制御回路を示す概略的ブロック図。

【図6】パルスバーRASでそれぞれ使用される各種命令を示すタイミング図。

【図7】レベルバーRASでそれぞれ使用される各種命令を示すタイミング図。

【図8】本発明によるクロック（CLK）バッファの詳細回路図。

【図9】本発明によるクロックエネーブル（CKE）バッファの詳細回路図。

【図10】図8及び図9におけるCLKバッファとCKEバッファの動作タイミング図。

【図11】本発明による多機能パルスバーRAS入力バッファの詳細回路図。

【図12】本発明で使用する列制御信号及びクロックのタイミング図。

【図13】本発明によるプリチャージ時に逡倍されたクロックを発生する高周波クロック発生回路の詳細回路図。

【図14】本発明による行アドレスバッファの詳細回路図。

【図15】本発明による動作モード設定回路の概略的ブロック図。

【図16】図15におけるモード設定制御信号発生回路の具体回路図。

【図17】図15におけるアドレスコードレジスタの具体回路図。

【図18】図13における待ち時間論理回路の具体回路図。

【図19】図13におけるバースト長論理回路の具体回路図。

【図20】本発明による自動プリチャージ制御信号発生回路を示す図。

【図21】本発明による行マスタクロック信号を発生する行マスタクロック発生回路の具体回路図。

【図22】本発明によるモード設定と自動プリチャージに対するタイミング関係を示すタイミング図。

【図23】列制御信号の発生をエネーブルするための信号を発生する回路図。

【図24】図13に示した高周波クロック発生回路の動作タイミング図。

【図25】本発明による一つのデータバスに係るデータ

通路上の回路ブロック図。

【図 2 6】本発明による I/O プリチャージ及び選択回路の詳細回路図。

【図 2 7】本発明によるデータ出力マルチプレクサの詳細回路図。

【図 2 8】本発明によるデータ出力バッファの具体回路図。

【図 2 9】本発明によるデータ入力マルチプレクサの具体回路図。

【図 3 0】本発明による P I O ラインドライバの詳細回路図。 10

【図 3 1】本発明によるバースト C A S バッファの詳細回路図。

【図 3 2】本発明によるバースト W E バッファの詳細回路図。

【図 3 3】本発明による D Q M バッファの詳細回路図。

【図 3 4】図 3 3 における D Q M バッファの動作タイミング図。

【図 3 5】本発明による書込み動作のタイミング図。

【図 3 6】本発明による書込み動作のタイミング図。 20

【図 3 7】本発明による書込み動作のタイミング図。

【図 3 8】本発明による列アドレスバッファの詳細回路図。

【図 3 9】本発明による列アドレスカウンタの概略的ブロック図。

【図 4 0】図 3 9 における第 1 計数部を構成する各ステージの詳細回路図。

【図 4 1】図 3 9 における第 2 計数部を構成する各ステージの詳細回路図。

【図 4 2】図 4 0 に示された回路による動作タイミング図。 30

【図 4 3】本発明による列デコーダの概略的ブロック図。

【図 4 4】図 4 3 における第 1 プリデコーダの詳細回路図。

【図 4 5】図 4 3 における第 2 プリデコーダの詳細回路図。

【図 4 6】図 4 3 における主デコーダの詳細回路図。

【図 4 7】本発明による読出し動作のタイミング図。

【図 4 8】本発明による読出し動作のタイミング図。 40

【図 4 9】本発明による読出し動作のタイミング図。

【図 5 0】図 5 におけるバースト長検出回路の詳細回路図。

【図 5 1】図 5 におけるバースト長検出回路の詳細回路

図。

【図 5 2】図 5 における列アドレスリセット信号発生回路の詳細回路図。

【図 5 3】図 5 における伝送制御カウンタの概略的ブロック図。

【図 5 4】図 5 における読出しデータ伝送クロック発生回路の詳細回路図。

【図 5 5】図 2 7 に示されたデータ出力マルチプレクサで使用される信号 ϕ_{cl} を発生する回路の詳細回路図。

【図 5 6】図 5 における書込みデータ伝送クロック発生回路の詳細回路図。

【図 5 7】本発明によるバースト C A S 割り込みの書込み動作のタイミングを示す図。

【図 5 8】本発明によるバースト C A S 割り込みの書込み動作のタイミングを示す図。

【図 5 9】本発明によるバースト C A S 割り込みの書込み動作のタイミングを示す図。

【図 6 0】本発明により I/O 線と P I O 線をプリチャージする制御信号を発生する回路の詳細回路図。

【図 6 1】本発明により D I O 線をプリチャージするための制御信号を発生する回路の詳細回路図。

【図 6 2】図 3 0 で使用されるバンク選択信号を発生する回路の詳細回路図。

【図 6 3】図 2 8 に示されたデータ出力バッファで使用される制御信号を発生する制御回路の詳細回路図。

【図 6 4】パルスバース R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 5】パルスバース R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 6】パルスバース R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 7】パルスバース R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 8】レベルバース R A S で使用するバース R A S バッファの詳細回路図。

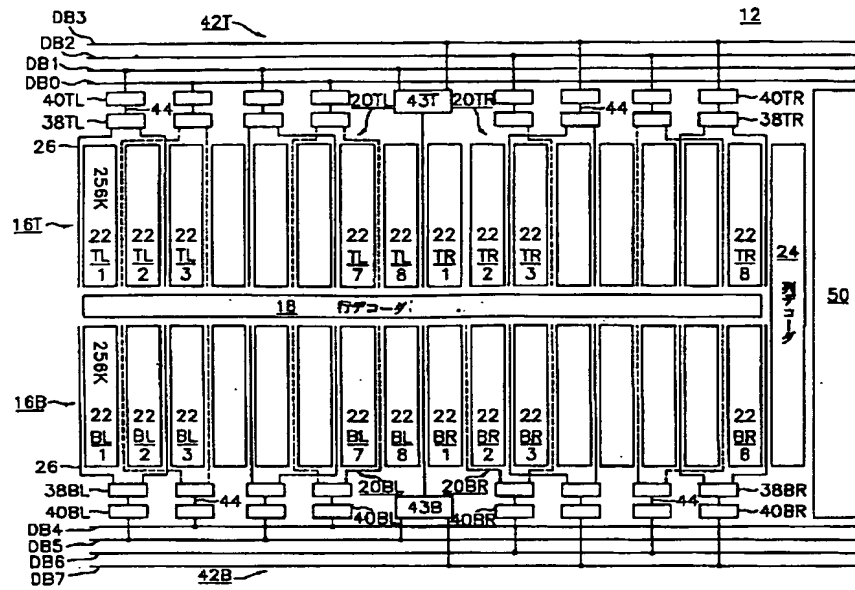
【図 6 9】特定アドレスバッファの詳細回路図。

【図 7 0】レベルバース R A S で使用するモード設定マスタクロックとリフレッシュマスタクロックを発生する制御回路の詳細回路図。

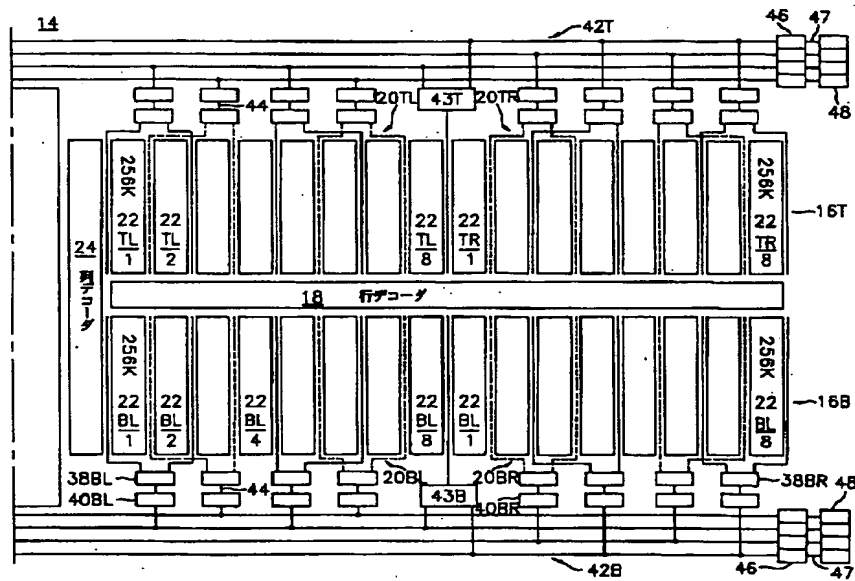
【図 7 1】レベルバース R A S を使用する同期 D R A M の動作タイミング関係を示すタイミング図。

【図 7 2】図 1 ~ 図 2、図 3 5 ~ 図 3 7、図 4 7 ~ 図 4 9、図 5 7 ~ 図 5 9 についての結合関係を示す図。

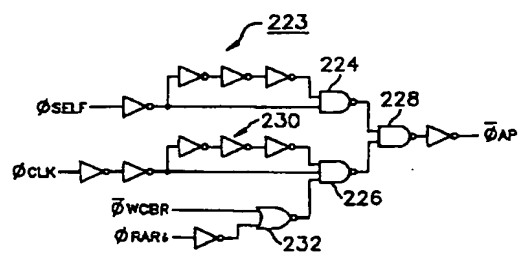
【図 1】



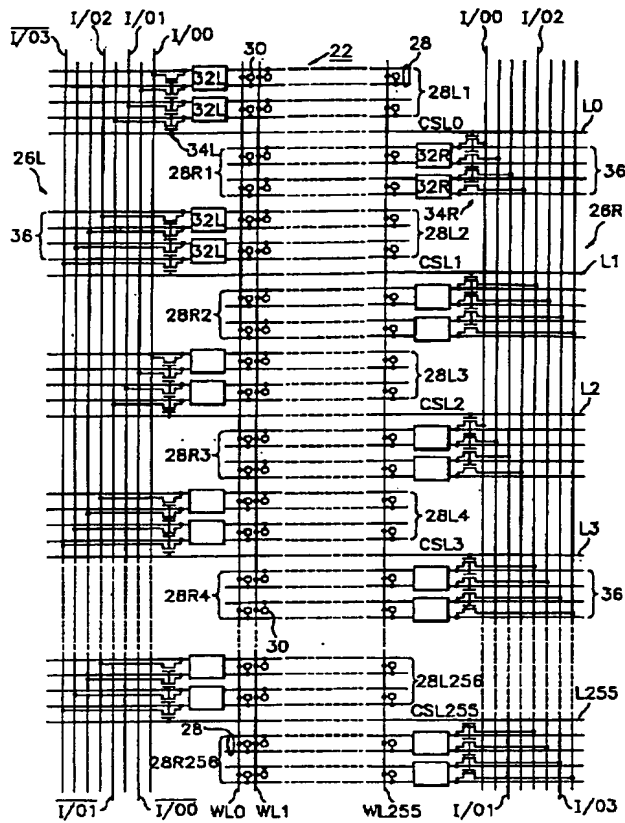
【図 2】



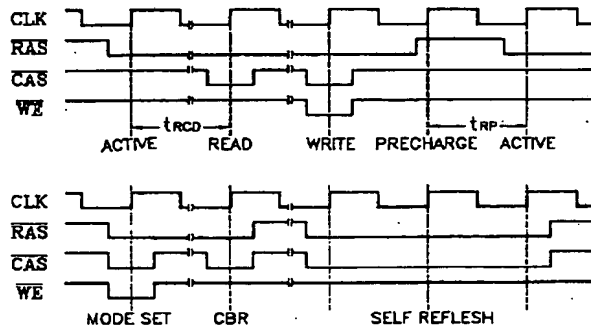
【図 20】



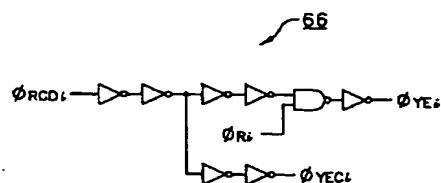
【図3】



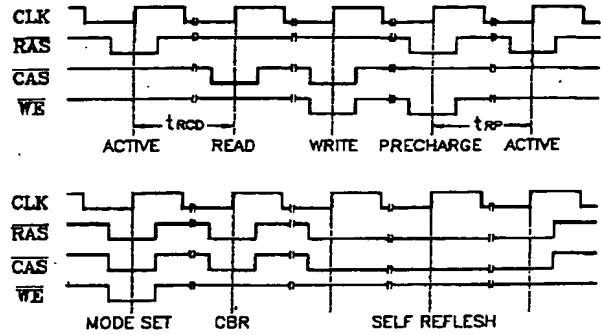
【図7】



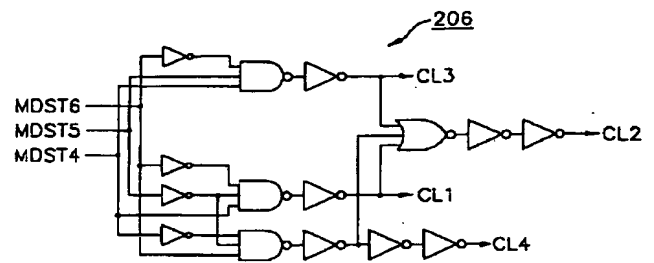
【図23】



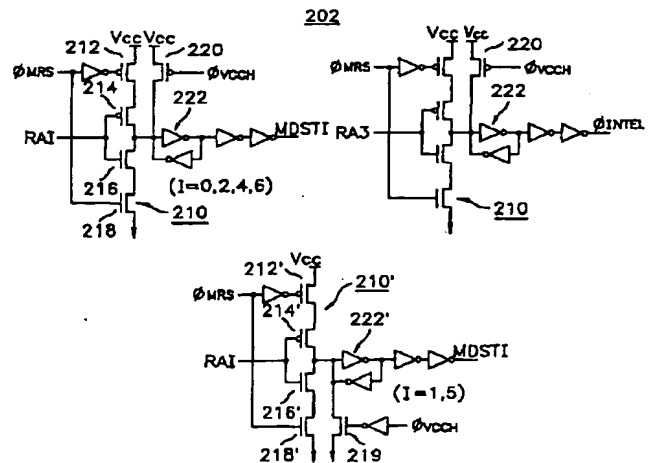
【図6】



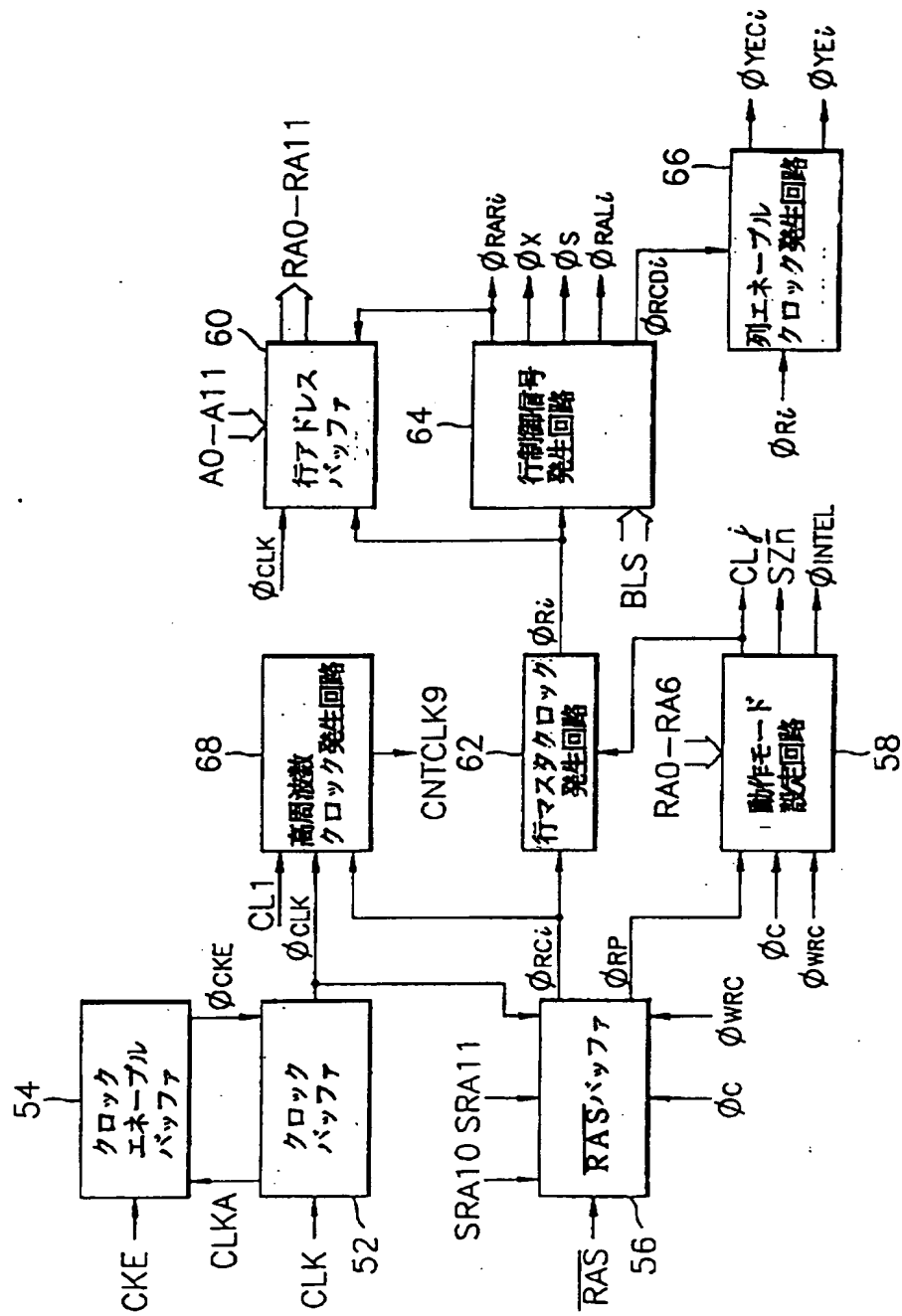
【図18】



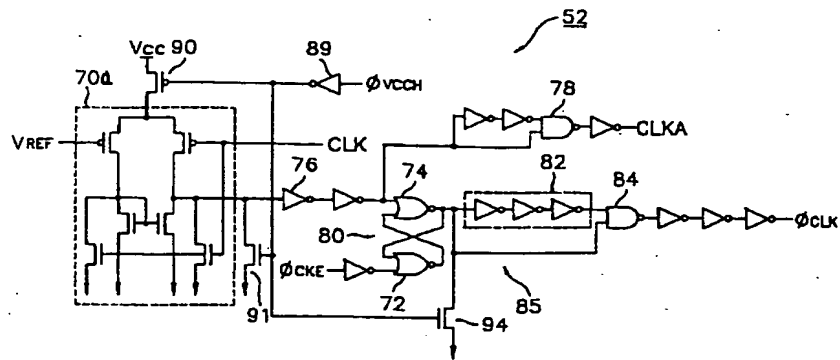
【図17】



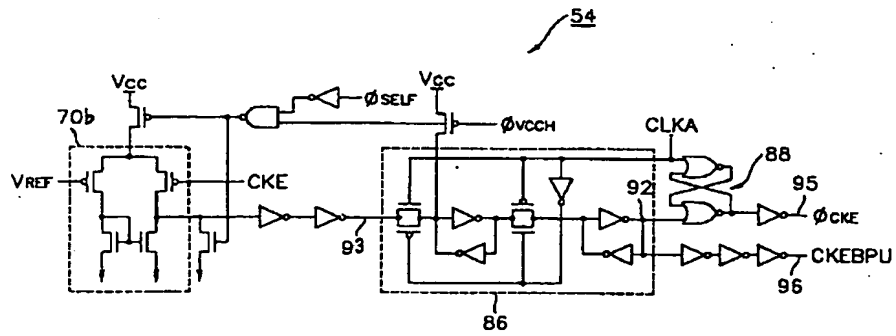
【図4】



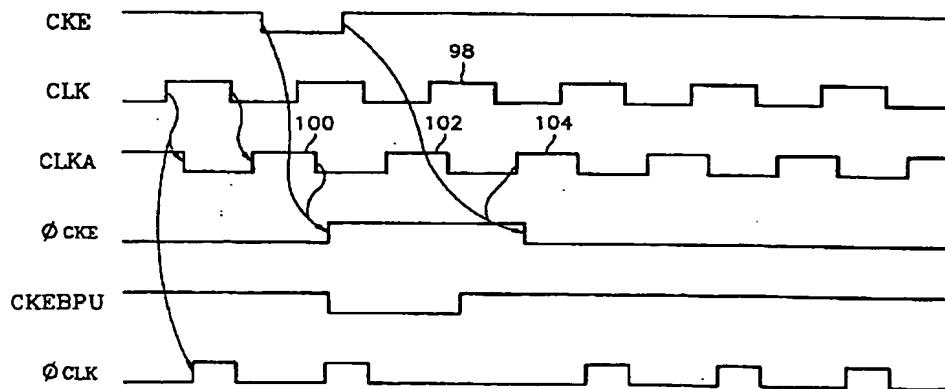
【図8】



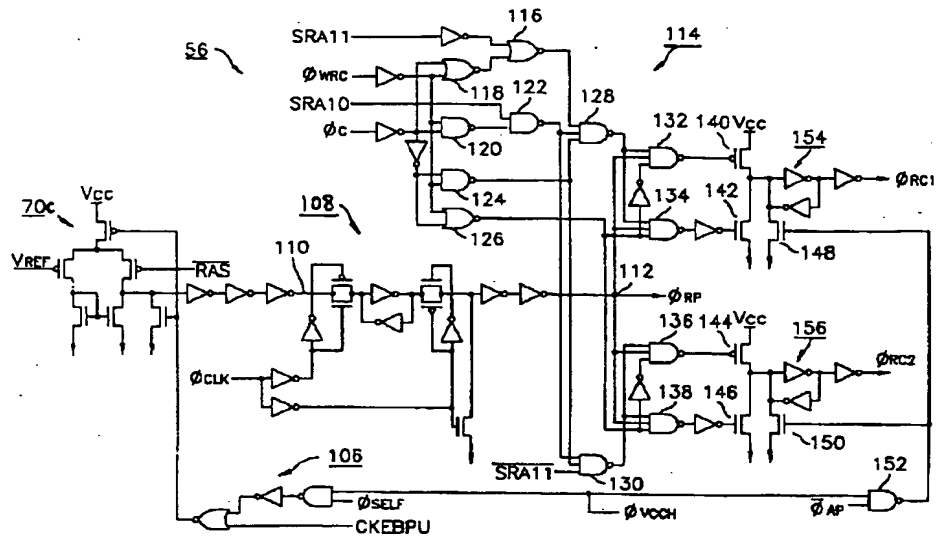
【図9】



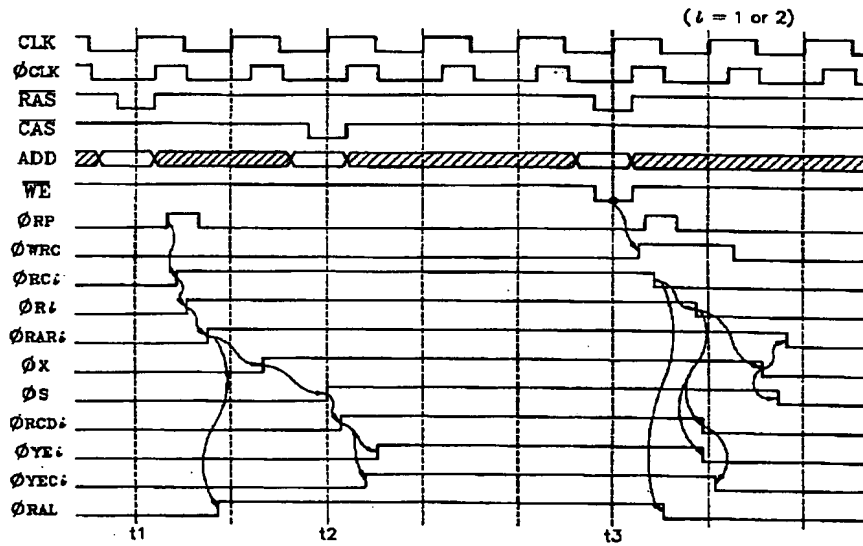
【図10】



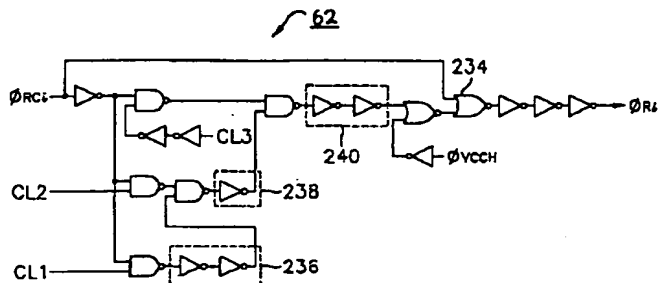
【図11】



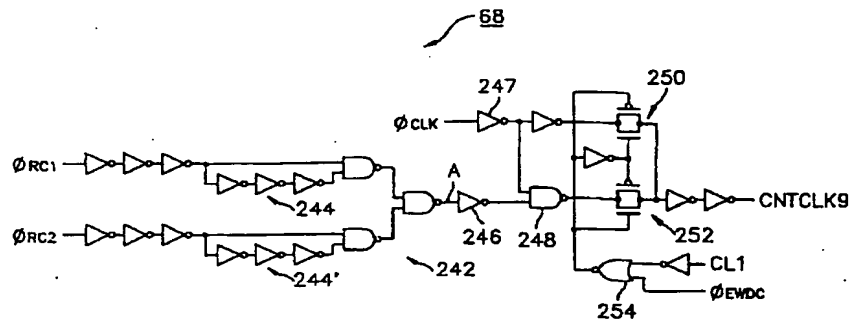
【図12】



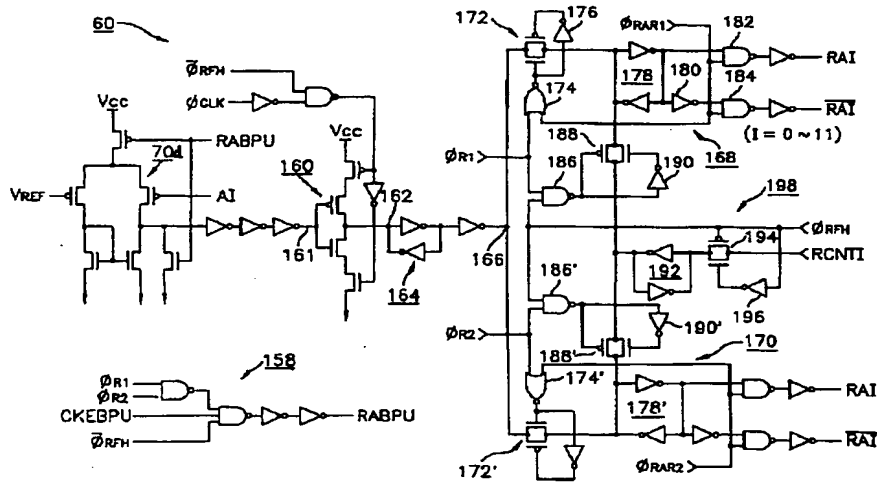
【図21】



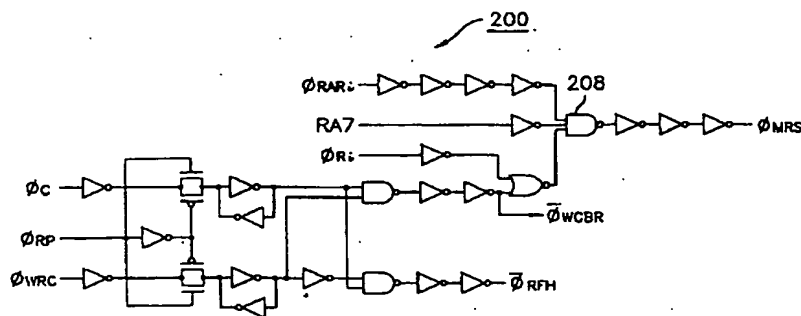
【図13】



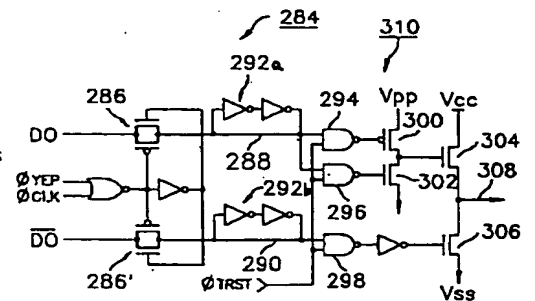
【図14】



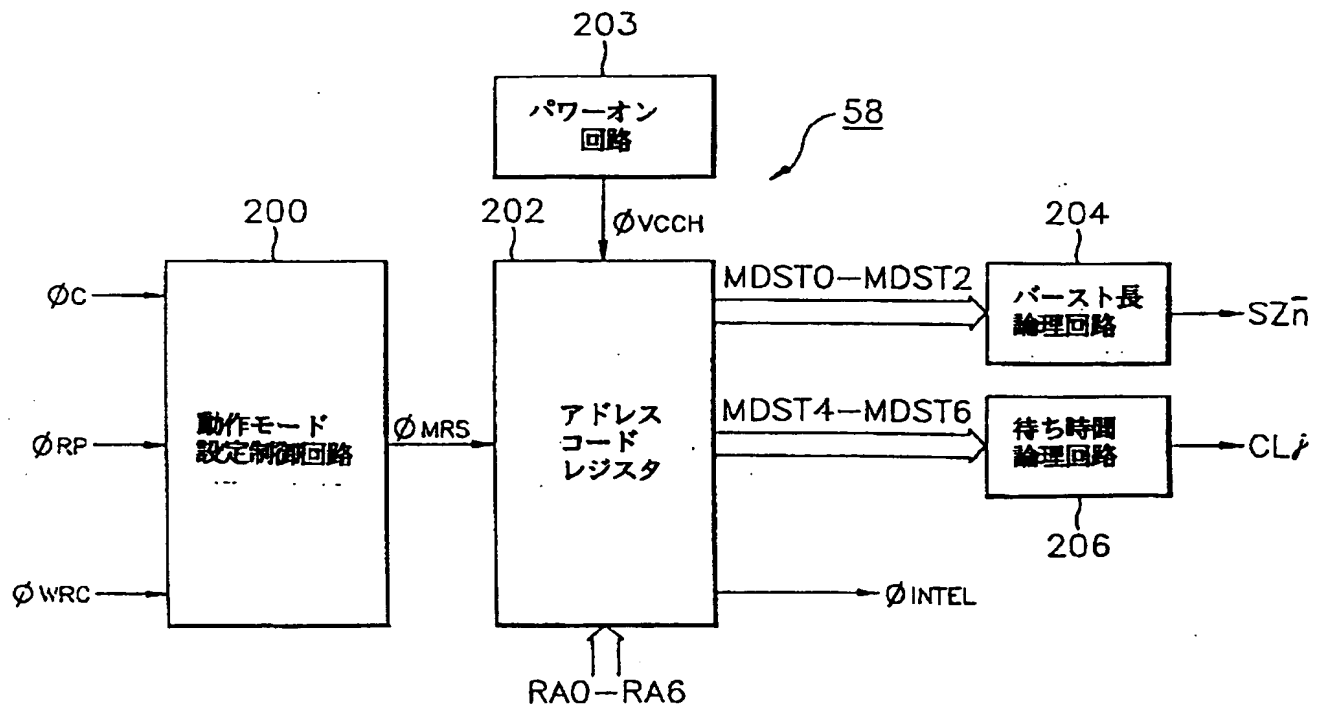
【図16】



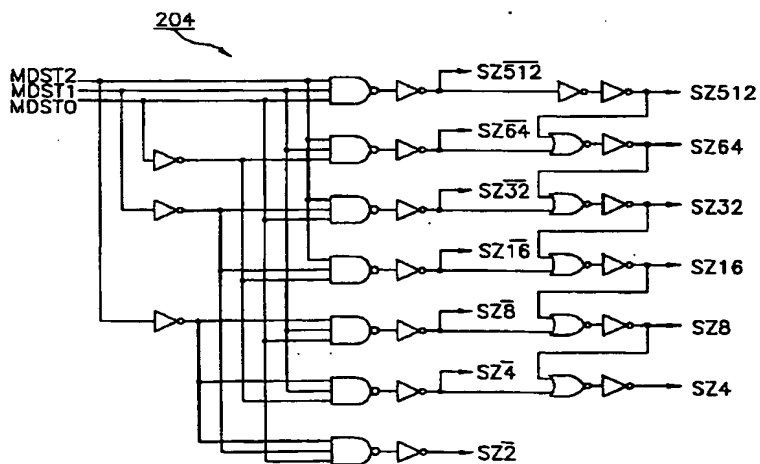
【図28】



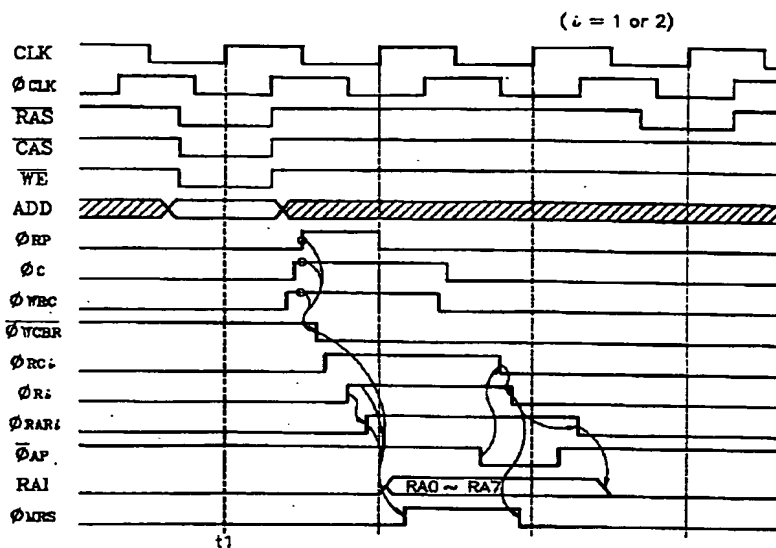
【図15】



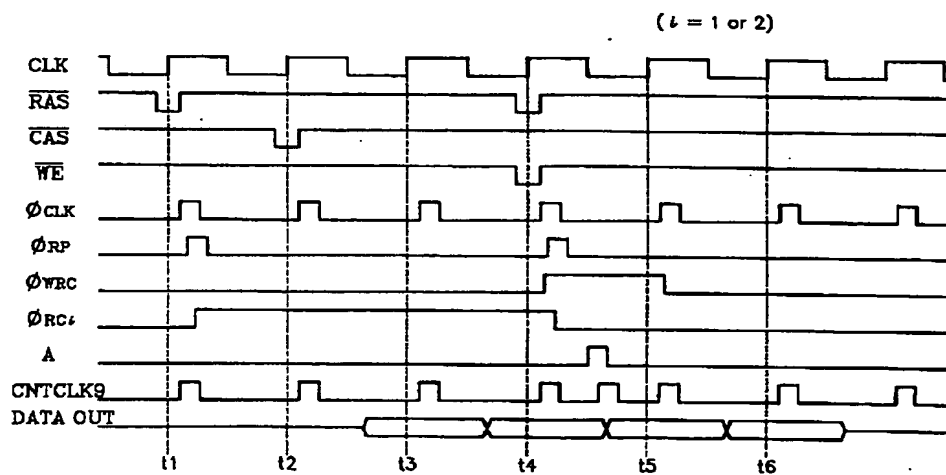
【図19】



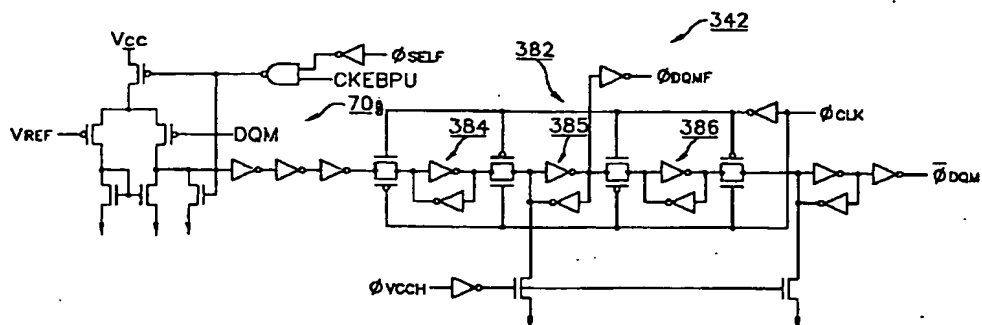
【図22】



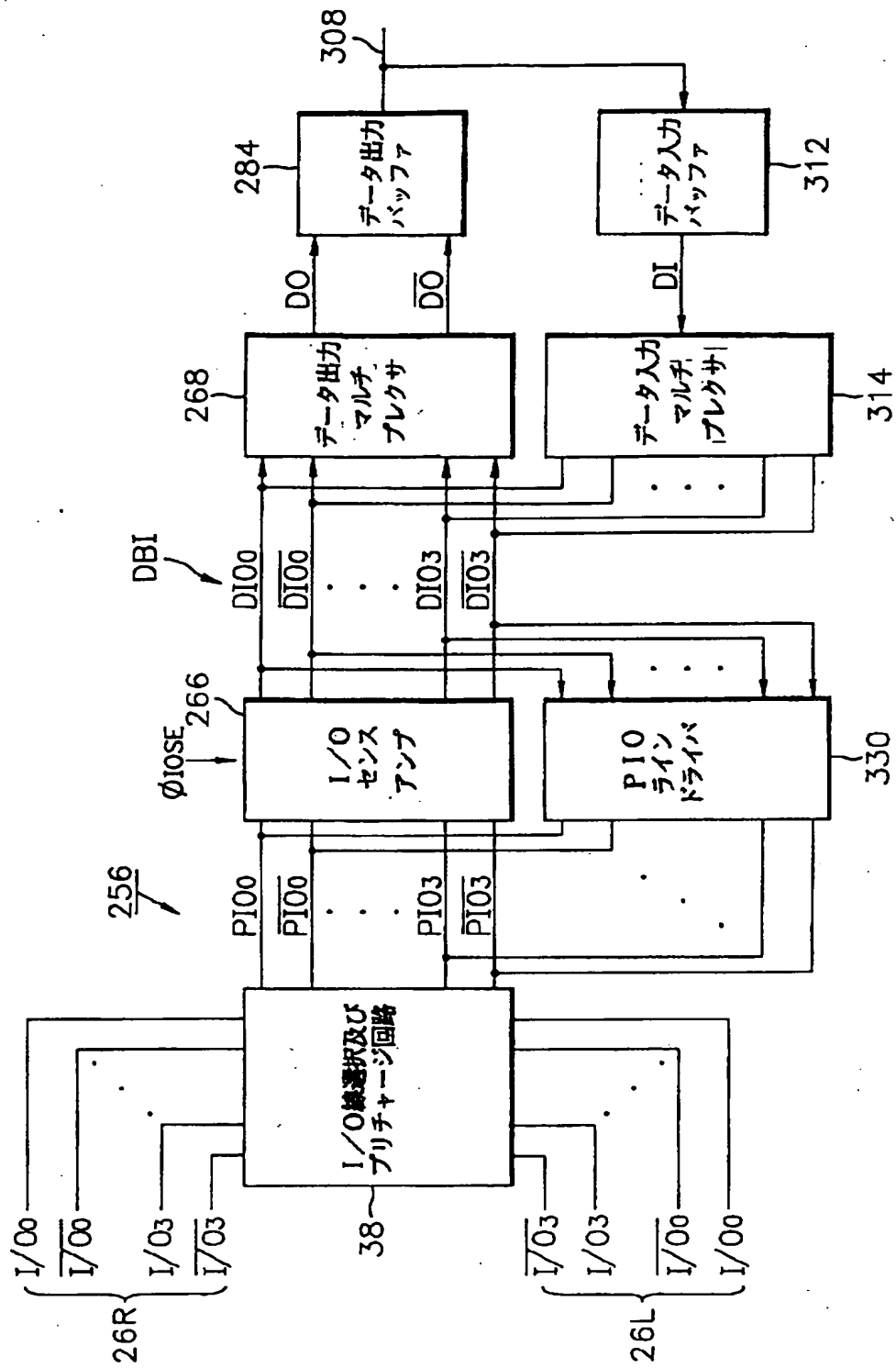
【図24】



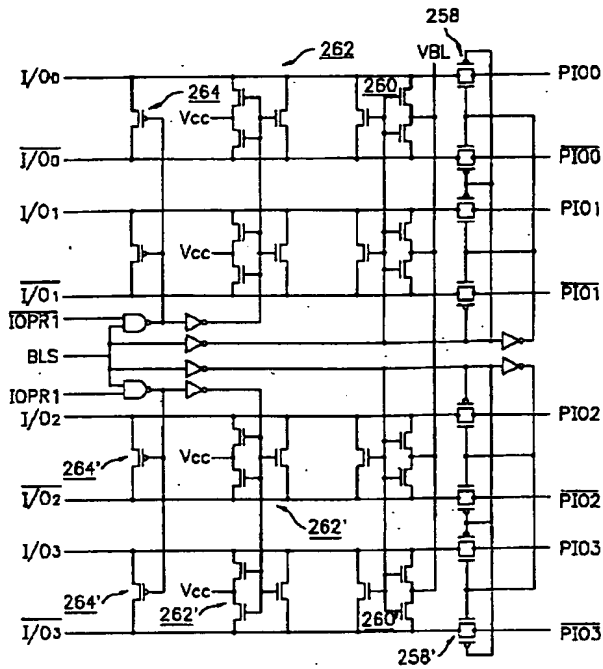
【図33】



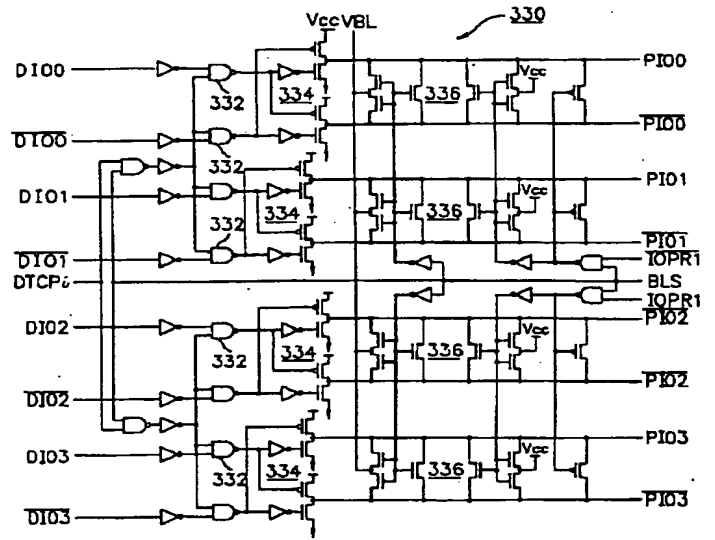
【図 25】



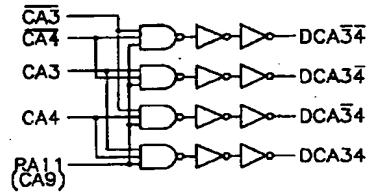
【図 26】



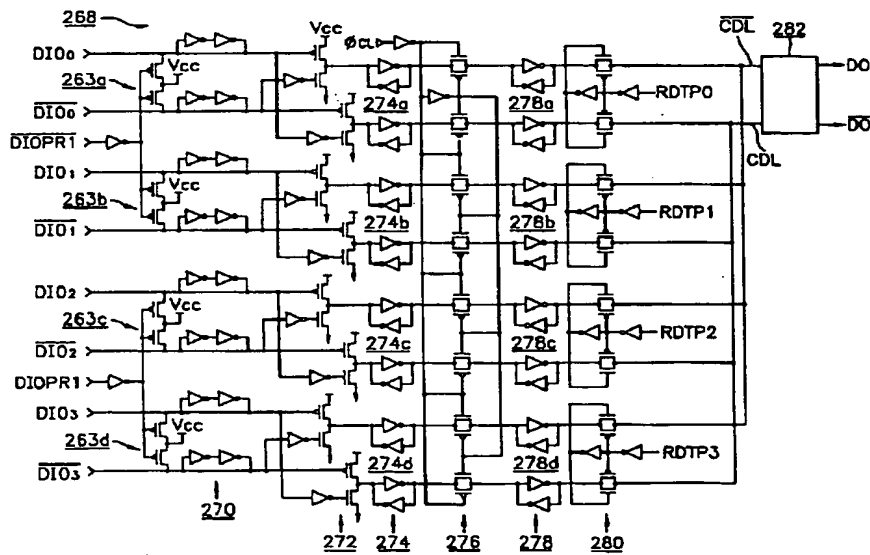
【図 30】



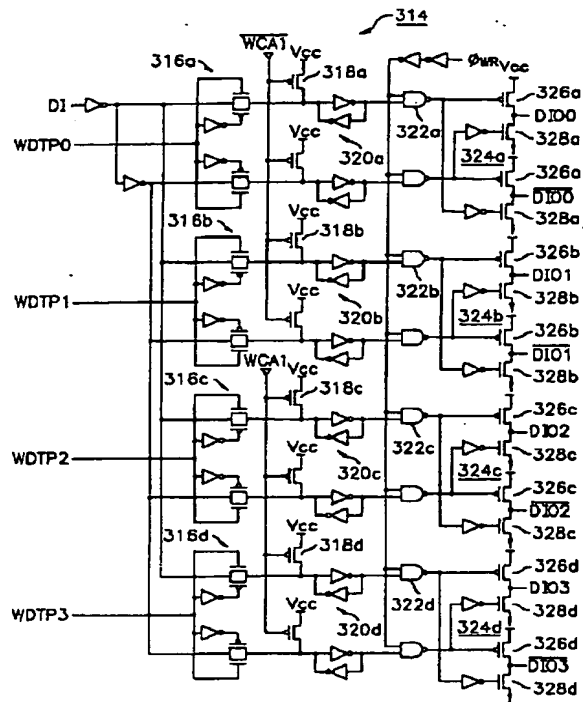
【図 45】



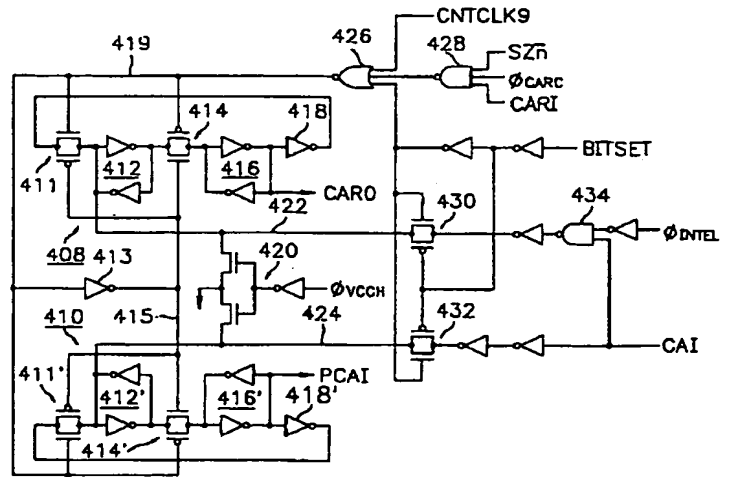
【図 27】



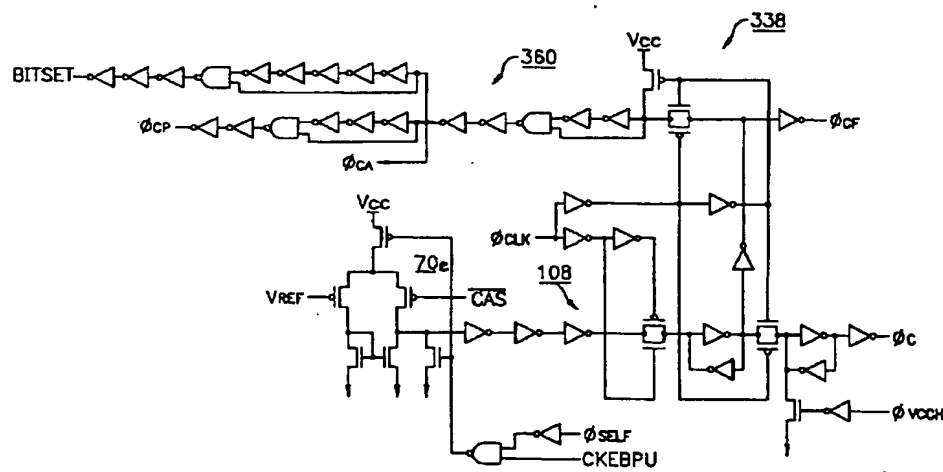
【図 29】



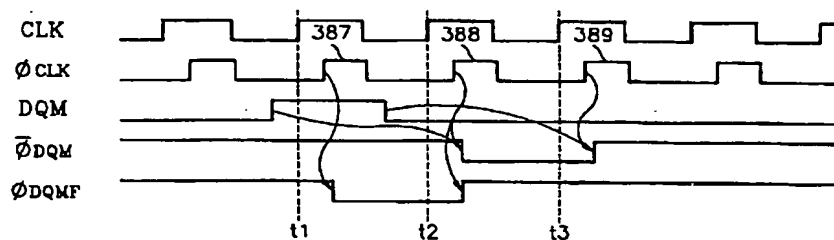
【図 40】



【図 31】



【図 34】

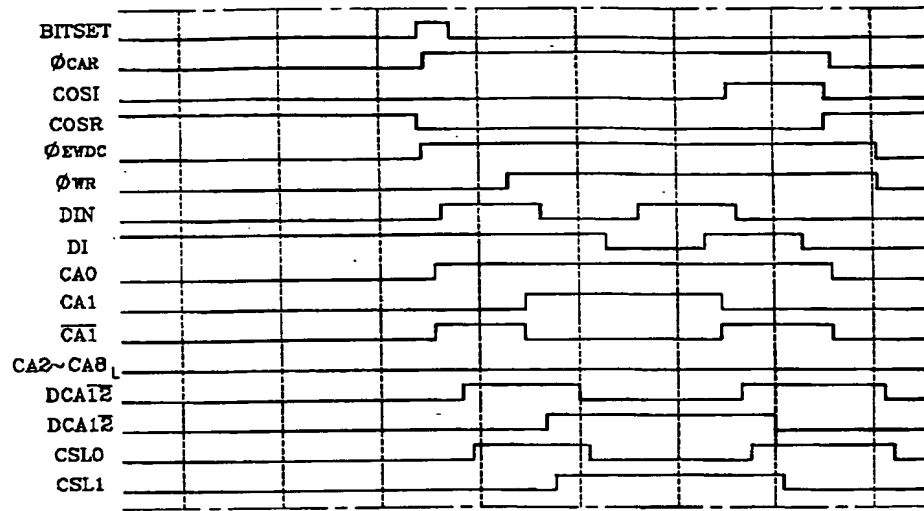


The diagram shows the control logic for the 340. It includes inputs for V_{CC} , V_{REF} , ϕCLK , $\phi RCD1$, $\phi RCD2$, ϕC , $\phi COSR$, ϕWRC , ϕCA , ϕWRP , $\phi EWDC$, and ϕWR . The logic consists of several blocks labeled 108, 362, 364, 366, 370, 372, 374, 376, 380, and 378. A 70F capacitor is connected to the ϕCLK input. The circuit uses a combination of inverters, NAND gates, and OR gates to generate the internal control signals.

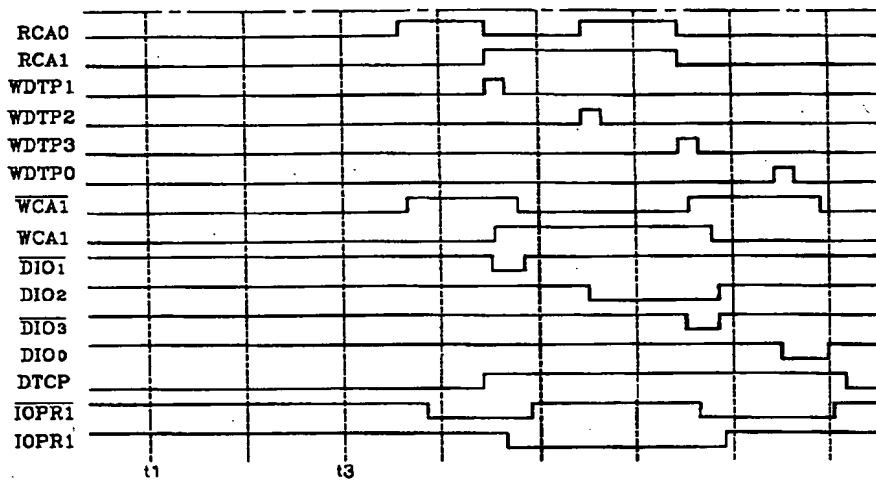
($i = 1$ or 2)

CLK
ØCLK
RAS
CAS
WE
ADD
ØRP
ØWRC
ØRCL
ØBI
ØYE
ØRAL
ØC
ØCA
ØCP

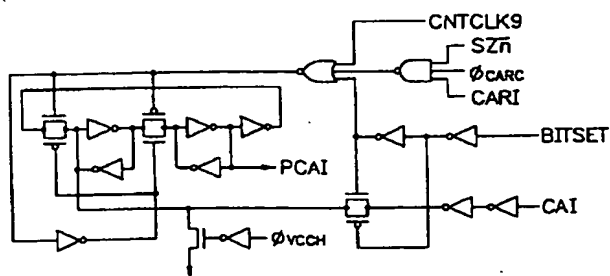
【図 3 6】



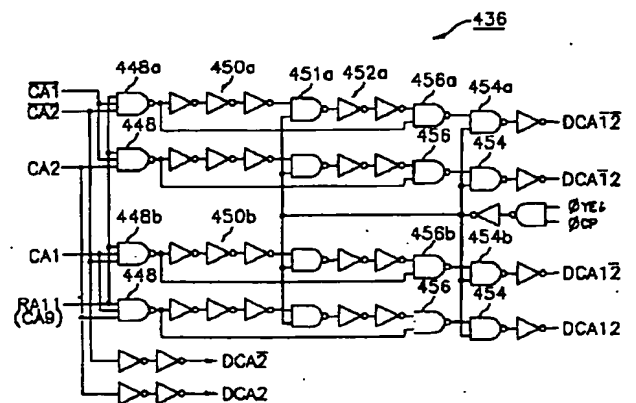
【図 3 7】



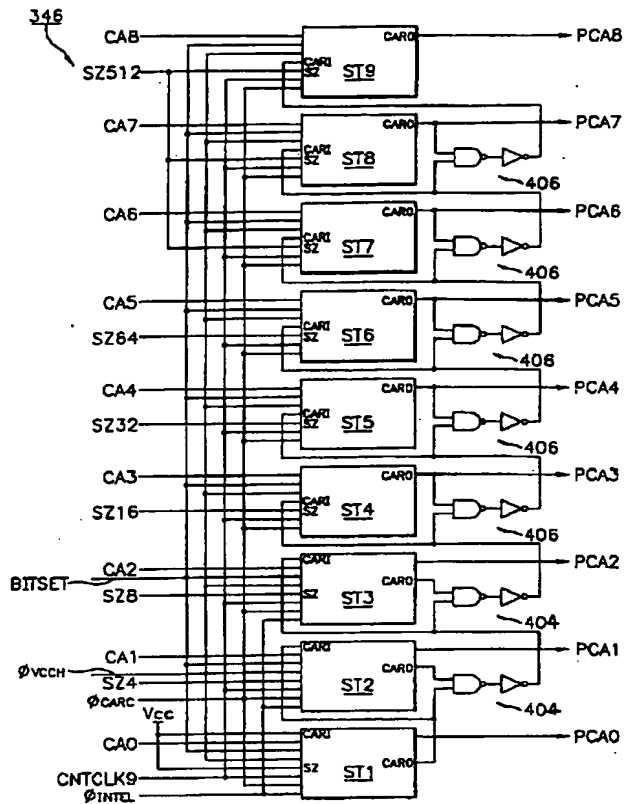
【図 4 1】



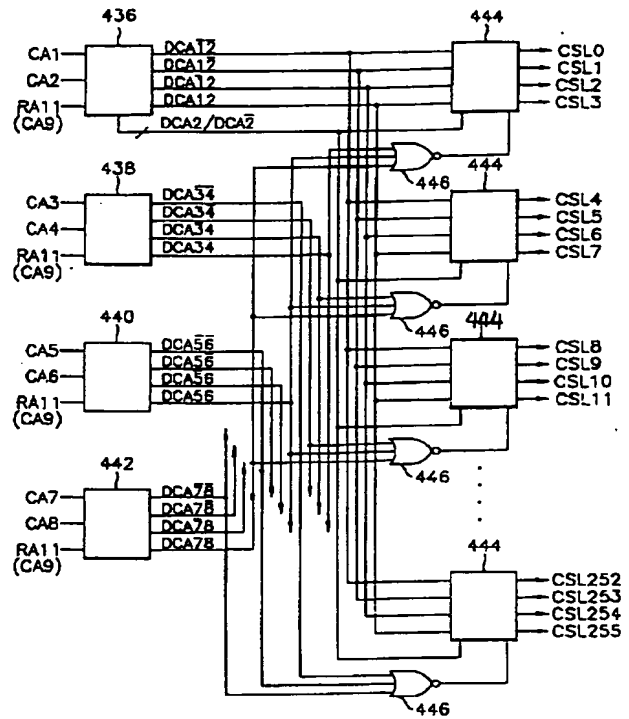
【図 4 4】



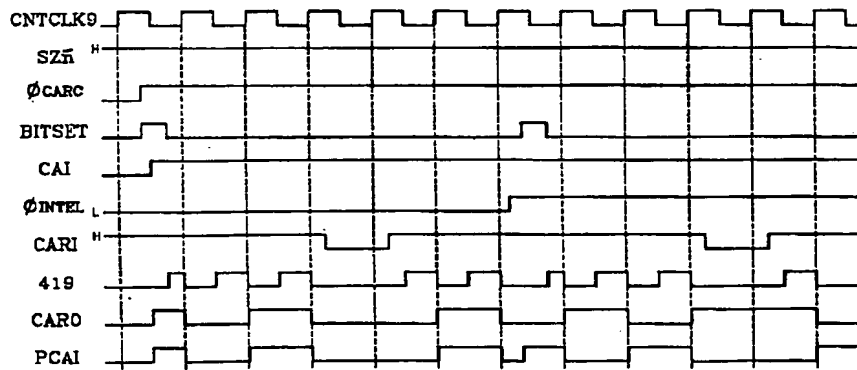
【図 3 9】



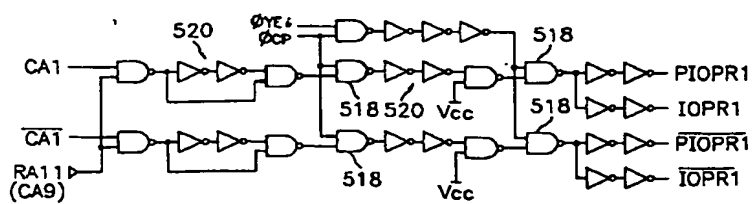
【図 4 3】



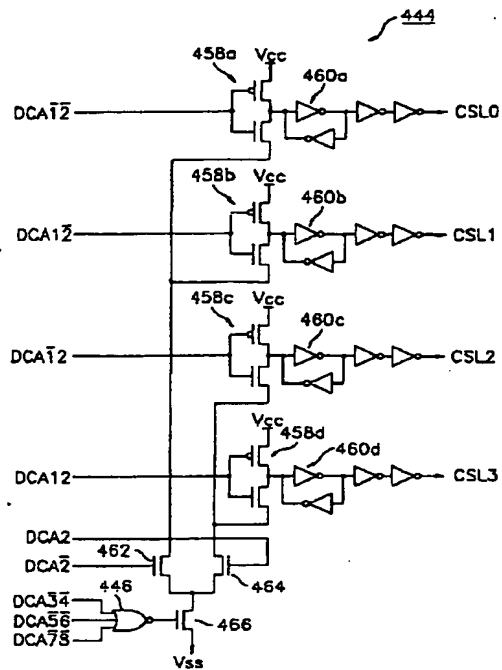
【図 4 2】



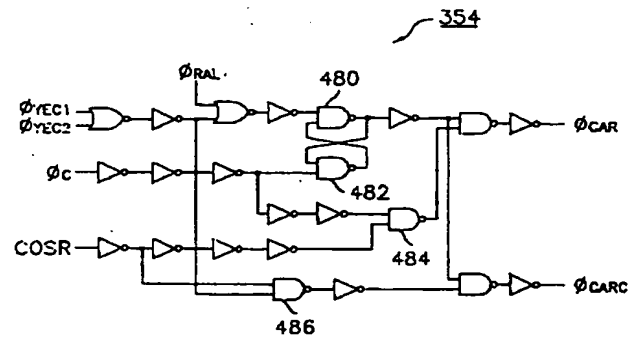
【図 6 0】



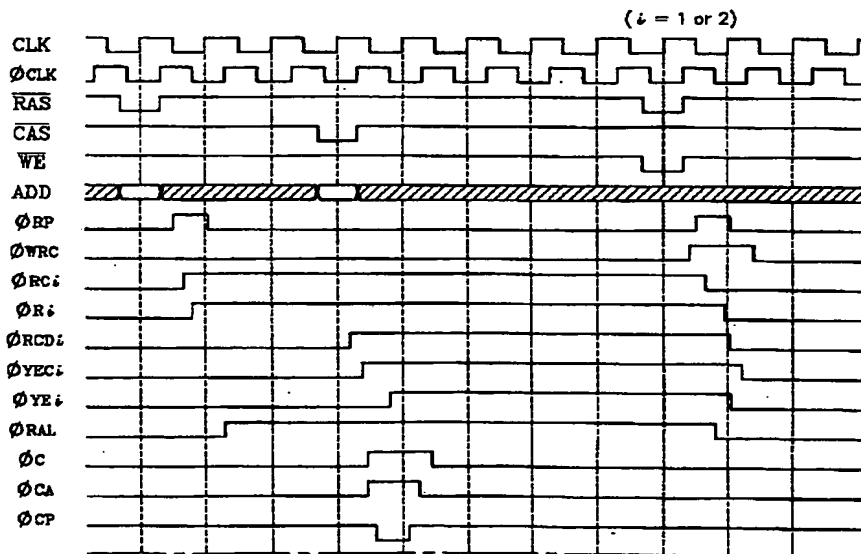
【図46】



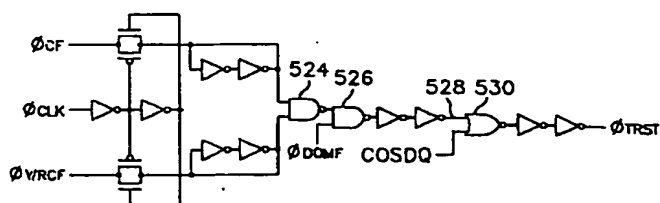
【図52】



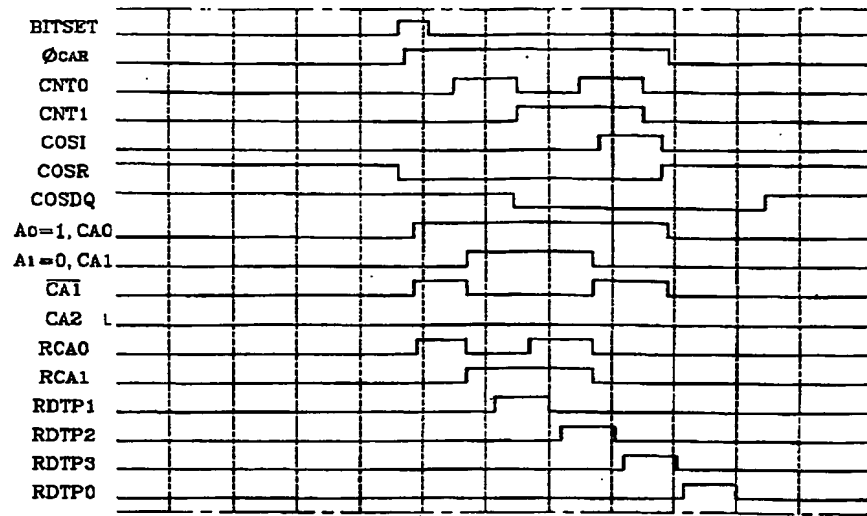
【図47】



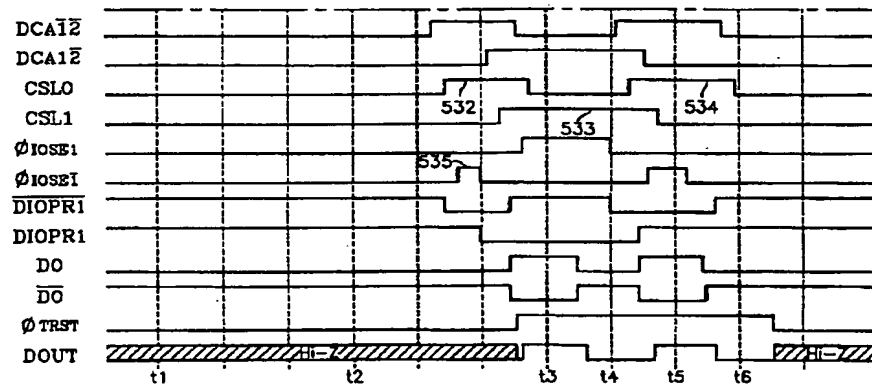
【図63】



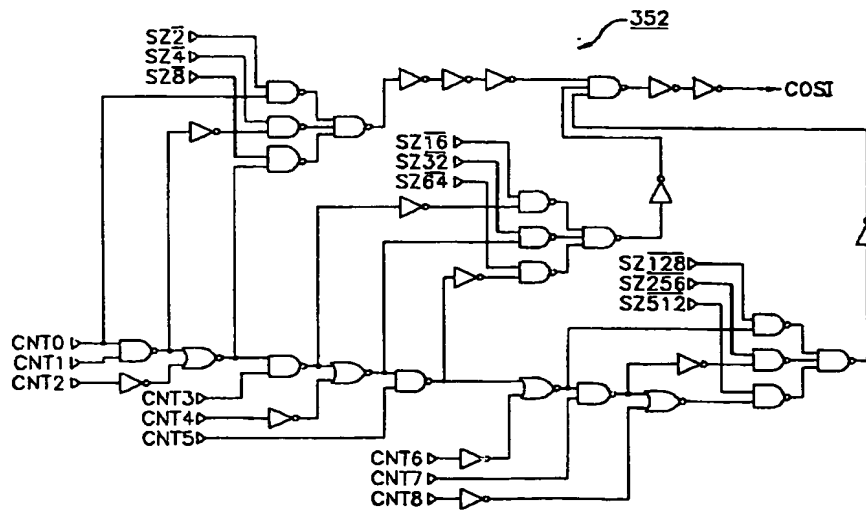
【図 4 8】



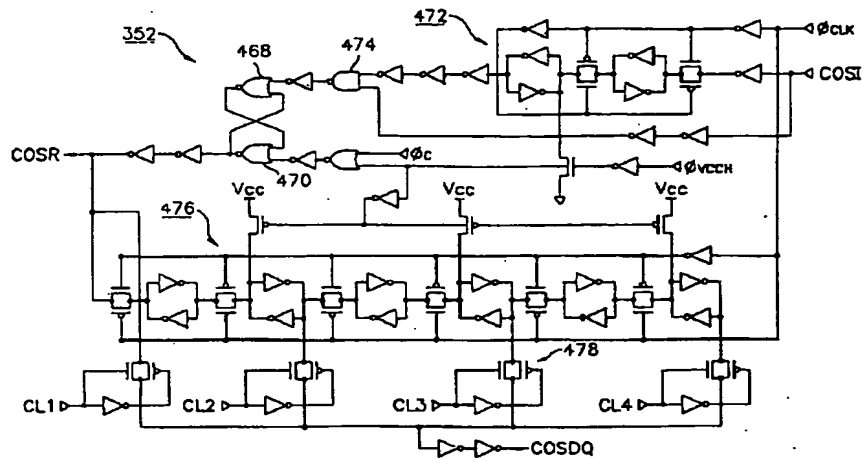
【図 4 9】



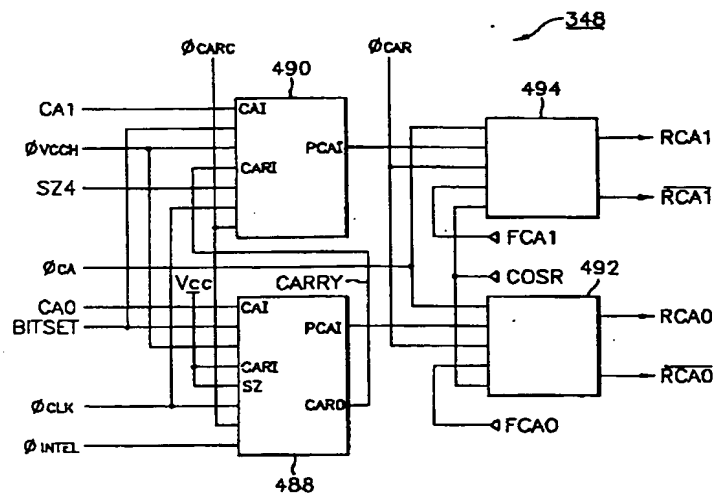
【図 5 0】



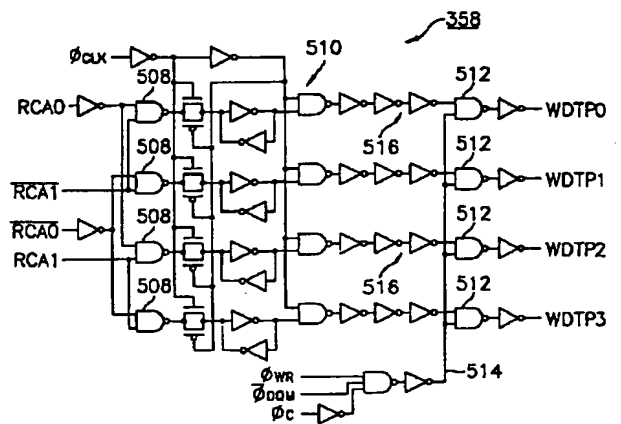
【図 5 1】



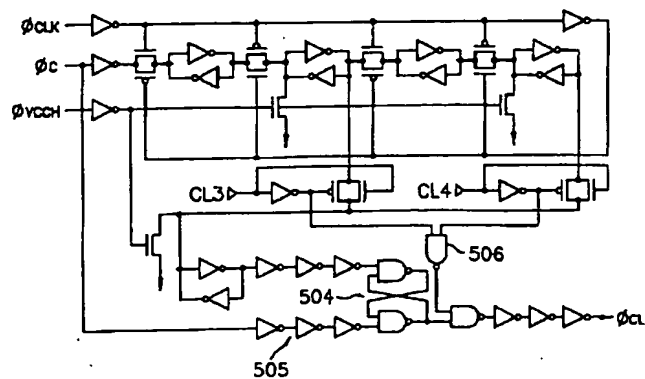
【図 5 3】



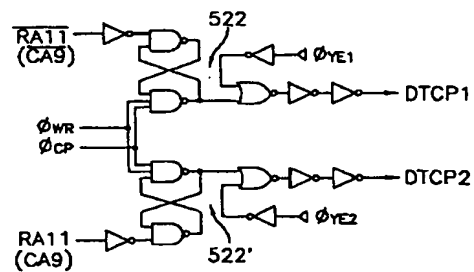
【図 5 6】



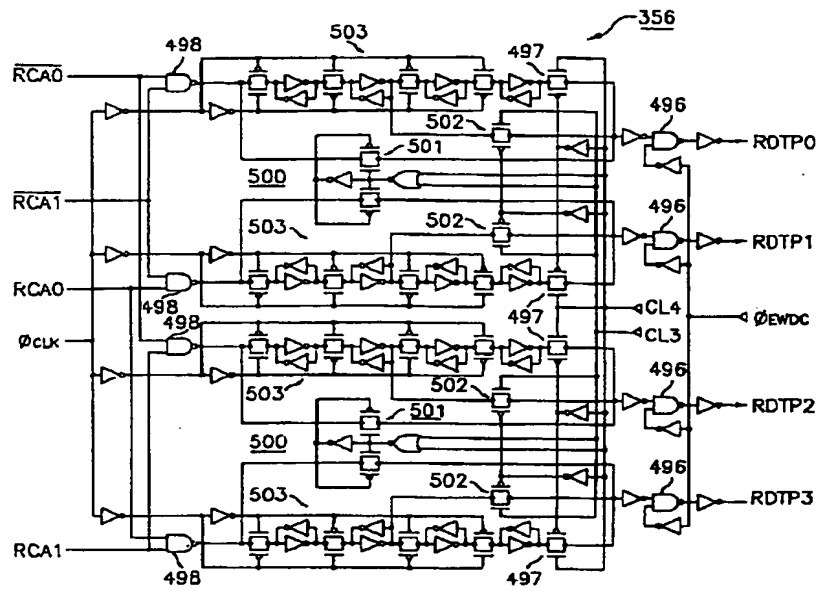
【図 5 5】



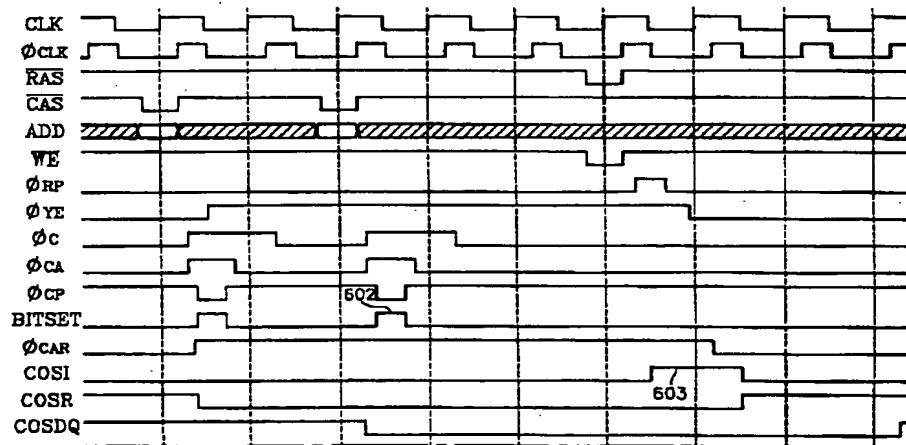
【図 6 2】



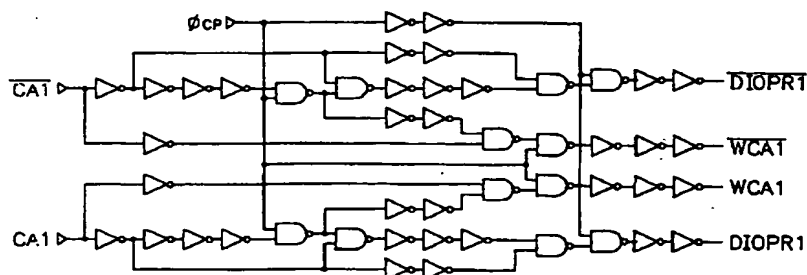
【図 5 4】



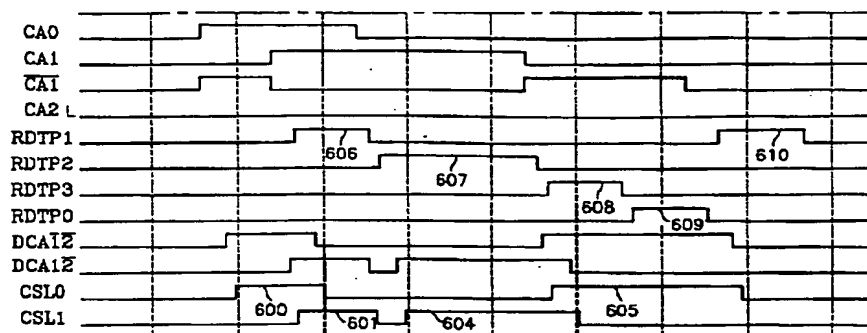
【図 5 7】



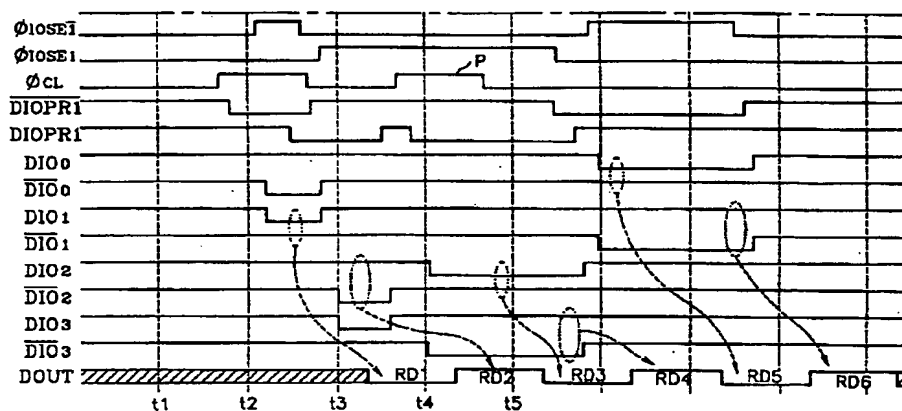
【図 6 1】



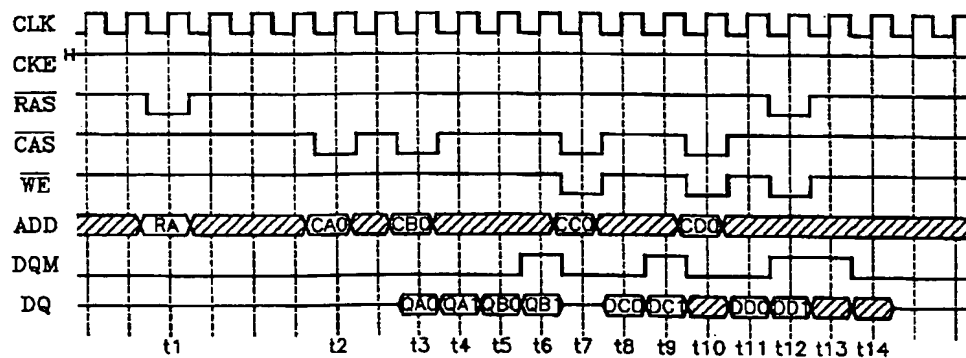
【図58】



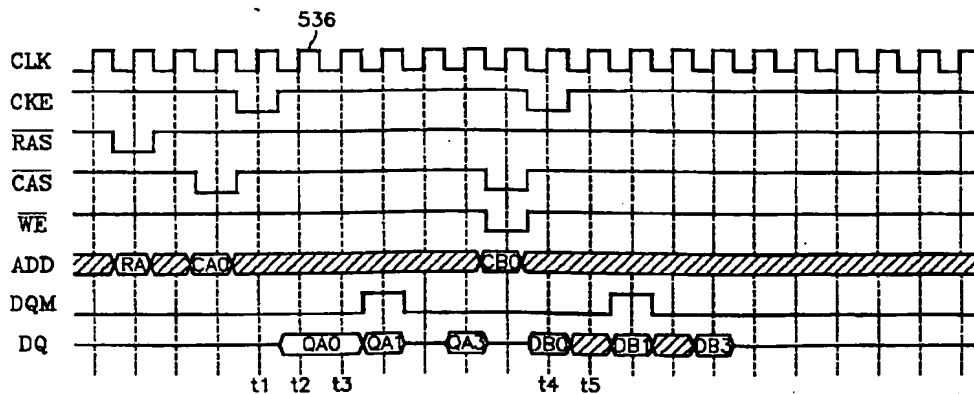
【図59】



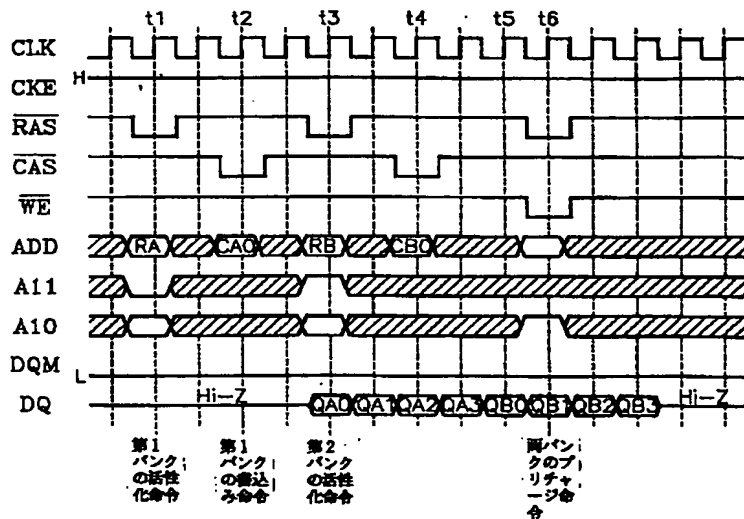
【図64】



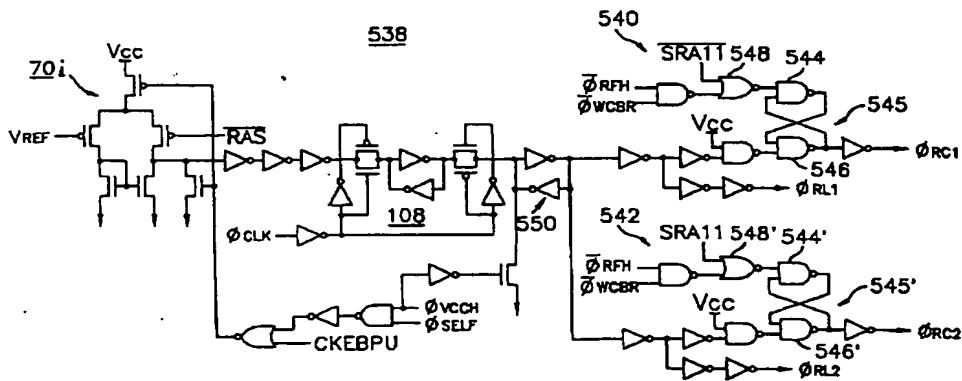
【图 6 5】



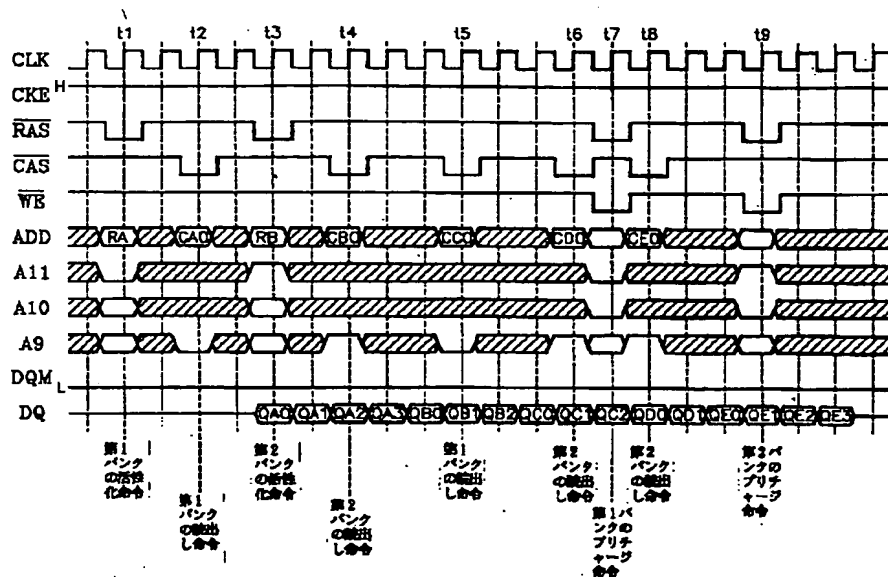
【图 6 6】



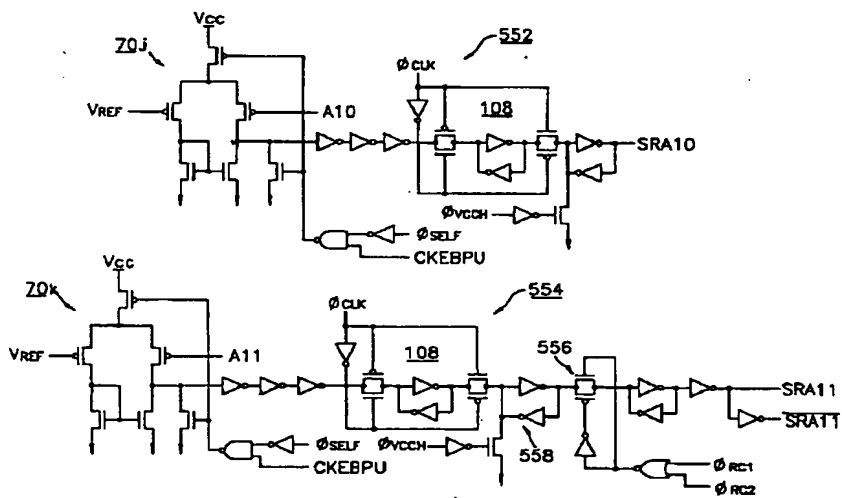
【图 6 8】



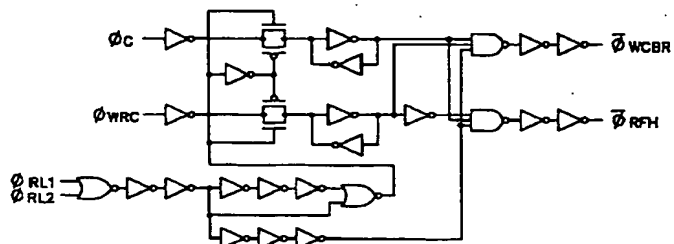
【图 6 7】



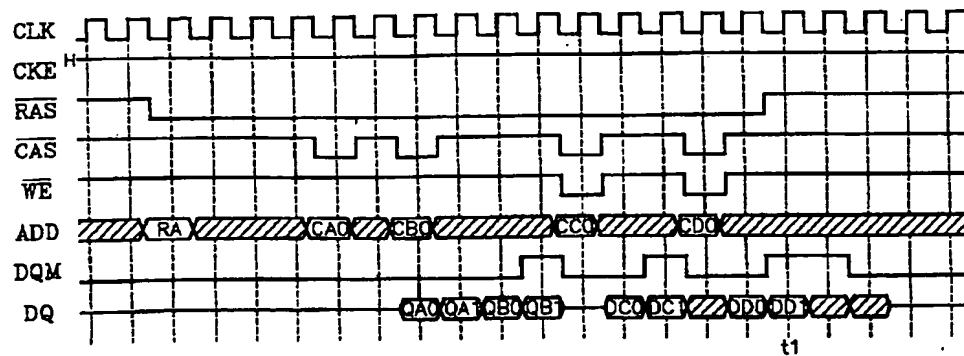
【图 6 9】



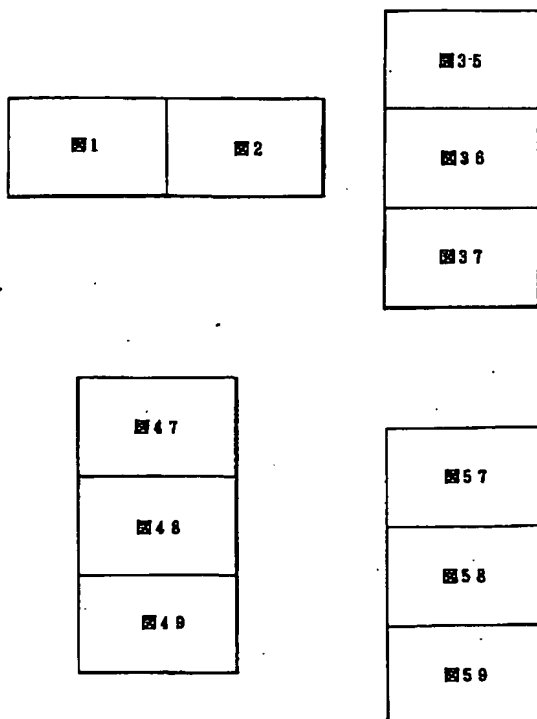
【图 70】



【図71】



【図72】



フロントページの続き

(72)発明者 金 明鎬
大韓民国京畿道水原市勸善区仁溪洞韓信ア
パート105棟1106号
(72)発明者 李 昇▲勲▼
大韓民国京畿道水原市八達区梅灘2洞208
番地1号

(72)発明者 李 始烈
大韓民国京畿道龍人郡器興邑農書里山24番
地
(72)発明者 李 鎬哲
大韓民国ソウル特別市城東区紫陽3洞227
番地242号

(72)発明者 金 泰▲じん▼

大韓民国ソウル特別市瑞草区方背洞ソラア
パートラ棟909号

(72)発明者 崔 潤浩

大韓民国京畿道水原市勸善区勸善洞998番
地13号永東ビーラ303号

(Translation of a notice from the Japanese Patent Office)

Mailing Date: April 4, 2000

Mailing No. 096642

NOTIFICATION OF REASONS FOR REJECTION

Patent Application No.: 5-242932

Examiner's Notice Date: March 28, 2000

Examiner: K. HOTTA

Attorneys on Record: Takehiko Suzuye

This application is rejected on the grounds stated below. Any opinion about the rejection must be filed within 60 days of the mailing date hereof.

REASON

A. The invention is unpatentable under section 29^{bis} of the Patent Law on the grounds that the invention is considered the same as the invention (device) described in the specification and the drawing(s) originally attached to the request of the following patent (device) application (claiming priority based on the Paris Convention), which was filed before the filing date of this application, and the Gazette of which was published (publication of the Gazette containing the Patent or publication of the Gazette containing the Utility Model) or disclosed after the filing date of this application and that the inventor of the present application is not considered to be the inventor of the cited patent (device) application, and at the time of the filing of this application, the applicant is not considered to be the applicant of the cited patent (device) application.

REMARKS

[Re: Claims 5, 8 and 9]

The originally filed specification or the drawings of the following Reference 1 describes that four pairs of up and down lines for each I/O line (corresponding to the I/O bus) are used in common by a bank 12 at the left side

and a bank 14 at the right side.

The applicant states in the written opinion that the present invention differs from the invention of the senior application in that the I/O bus is disposed between the banks. However, claim 5 merely recites that the I/O bus is used in common between the different banks.

It is suggested to add the structure recited in claim 7 to claim 5.

The claim(s), which is(are) not mentioned in this Official Action, is(are) not rejected. If a new reason for rejection is noticed, a further Official Action will be issued.

Reference Cited

1. Jpn. Pat. Appl. No. 5-248359 (Jpn. Pat. Appl. KOKAI Publication No. 6-195963)

拒絶理由通知書

特許出願の番号	平成 5 年 特許願 第 2 4 2 9 3 2 号
起案日	平成 1 2 年 3 月 2 8 日
特許庁審査官	堀田 和義 8 8 4 0 5 M 0 0
特許出願人代理人	鈴江 武彦 様
適用条文	第 2 9 条 の 2

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 6 0 日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願の日前の特許（実用新案登録）出願であって、その出願後に出願公告（特許掲載公報の発行又は実用新案掲載公報の発行）又は出願公開がされた下記の特許（実用新案登録）出願の願書に最初に添付された明細書又は図面に記載された発明（考案）と同一であり、しかも、この出願の発明者がその出願前の特許（実用新案登録）出願に係る上記の発明（考案）をした者と同じではなく、またこの出願の時に於いて、その出願人が上記特許（実用新案登録）出願の出願人と同一でもないので、特許法第 2 9 条の 2 の規定により、特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

[請求項 5、8、9 に対して]

下記 1 の出願の当初の明細書又は図面には、上下 4 対ずつの I/O 線（I/O バスに相当）を左側のバンク 1 2 と右側のバンク 1 4 で共有することが記載されている。

出願人は、意見書において、I/O バスがバンク間に配置されている点で先願
続葉有

部長	審査長	審査官	審査官補
	立川 功	堀田 和義	
	7 8 3 1	8 8 4 0	

続 葉

に係る発明と相違する旨述べているが、請求項5には、I/Oバスを異なるバンク間で共有することが記載されているだけである。

請求項7に記載された構成を請求項5に追加することをお勧めします。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引 用 文 献 等 一 覧

1. 特願平5-248359号(特開平6-195963号)

(11)特許出願公開番号

特開平6-195963

(43)公開日 平成6年(1994)7月15日

技術表示箇所

3 6 2 C

審査請求 未請求 請求項の数 6 (全 58 頁)

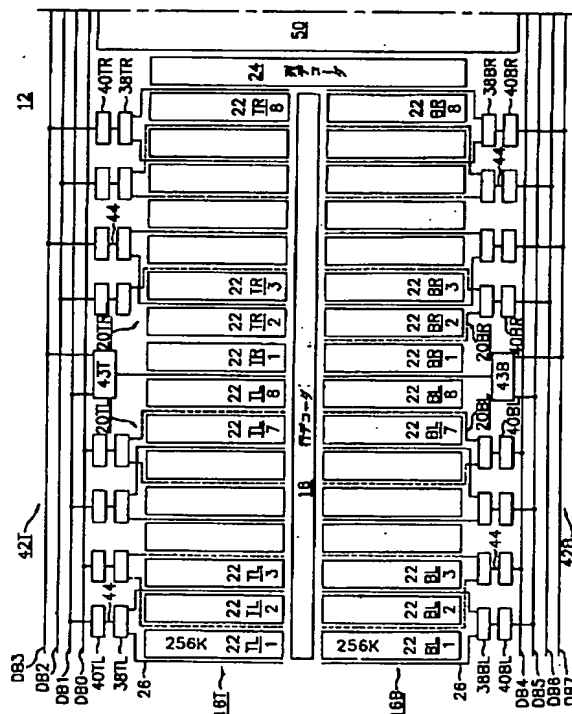
[最終頁に続く](#)

(54)【発明の名称】 半導体メモリ

(57) 【要約】

【目的】 外部システムクロックに同期して、メモリセルアレイ内のデータを高速にアクセスすることができる半導体メモリを提供する。

【構成】 外部クロックを入力する半導体メモリにおいて、読出しサイクル又は書込みサイクルを示すアクティブサイクル又はプリチャージサイクルで動作可能な複数のメモリバンクと、上記外部クロックの立上りエッジ又は立下りエッジに応答して、入力された行アドレスストロブ信号の論理レベルをラッチするための手段と、前記メモリバンクのうちいずれか一つを選択するための外部アドレスの入力手段と、ラッチされた前記論理レベルとアドレス入力手段からのアドレスを受け取り、該論理レベルが第1論理レベルの時、選択されたメモリバンクに活性化信号を出力してアクティブサイクルで、選択されなかったメモリバンクには非活性化信号を出力してプリチャージサイクルで動作させる手段とを備える。



【特許請求の範囲】

【請求項 1】 半導体基板に形成され複数の動作モードを有する半導体メモリにおいて、前記動作モードの中で少なくとも一つを指定するようにされた外部アドレスをうけるためのアドレス入力手段と、モード設定動作時にモード設定信号を発生するための手段と、前記モード設定信号に応答し前記外部アドレスに従ってコードを貯蔵し、貯蔵されたコードによって決定される動作モードを示す動作モード信号を発生するための手段と、を備えることを特徴とする半導体メモリ。

【請求項 2】 複数の内部動作モードを有する半導体メモリにおいて、供給電源の印加後、前記供給電源の電位が所定の値に至る時にパワーオン信号を発生するための手段と、前記パワーオン信号に応答して多数のコード信号を自動的に貯蔵し、前記コード信号によって定義される多数の内部動作モードの中で選択されたモードを示す内部動作モード信号を発生するための手段と、を備えることを特徴とする半導体メモリ。

【請求項 3】 ダイナミックランダムアクセスメモリにおいて、多数のメモリセルを有し、読出しや書込みを行うアクティブサイクル、又はプリチャージサイクルで動作可能な複数のメモリバンクと、行アドレスストロブ信号を入力して第 1 信号を出力するための第 1 手段と、列アドレスストロブ信号を入力して第 2 信号を出力するための第 2 手段と、書込みエネーブル信号を入力して第 3 信号を出力するための第 3 手段と、前記メモリバンクの選択を表すアドレス信号を入力するためのアドレス入力手段と、前記第 1、第 2、第 3 信号及びアドレス信号に応答し、且つ前記アドレス信号によって選択されたメモリバンクに対するアクティブサイクルを表すデータ及び選択されなかったメモリバンクに対するプリチャージサイクルを表すデータを貯蔵する各メモリバンクに対応するラッチ手段とを含む論理手段と、を備えることを特徴とするダイナミックランダムアクセスメモリ。

【請求項 4】 外部クロック信号を入力とするダイナミックランダムアクセスメモリにおいて、多数のメモリセルを有し、読出しや書込みを行うアクティブサイクル、又はプリチャージサイクルで動作可能な複数のメモリバンクと、行アドレスストロブ信号を入力とし、前記クロックの立上りエッジ又は立下りエッジに反応して該行アドレスストロブ信号の論理レベルをラッチするための手段と、

前記メモリバンクのうちいずれか一つを選択するため、外部で発生したアドレスを入力するためのアドレス入力手段と、

ラッチされた前記論理レベルとアドレス入力手段からの前記アドレスを入力とし、ラッチされた前記論理レベルが第 1 論理レベルのときに前記アドレス信号によって選択されたメモリバンクに活性化信号を出力してアクティブサイクルで動作させ、選択されなかったメモリバンクには非活性化信号を出力してプリチャージサイクルで動作させる手段と、を備えることを特徴とするダイナミックランダムアクセスメモリ。

【請求項 5】 半導体基板に形成され、外部クロック信号を使用すると共にメモリセルから読み出されたデータをデータ出力バッファを介して出力するようにされた半導体メモリにおいて、データの出力時間間隔を示すバースト長信号を発生すると共に該バースト長信号に相応する時間間隔の間に前記データ出力バッファを介して前記外部クロック信号と同期させてデータを出力する手段と、を備えることを特徴とする半導体メモリ。

【請求項 6】 行と列に配列された多数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイを行方向に分割し、前記メモリセルアレイの該当列にそれぞれ連結される多数のワード線と前記メモリセルアレイの該当行にそれぞれ連結される多数のビット線を有する多数のサブアレイと、前記多数のサブアレイに沿って配された複数の入／出力バスとを有する半導体メモリであって、

前記多数のサブアレイのビット線は、交互に配列される第 1 及び第 2 ビット線群に分けられ、さらに両ビット線群は交互に配列される第 1 及び第 2 サブビット線群に分けられており、

前記複数の入／出力バスは、それぞれ第 1 及び第 2 入／出力バス群に分けられ、さらに両入／出力バス群は第 1 及び第 2 入／出力線群に分けられており、

第 1 入／出力バス群の第 1 及び第 2 入出力線群は複数の列選択スイッチを通じて隣接したサブアレイの第 1 ビット線群の第 1 及び第 2 サブビット線群にそれぞれ接続され、第 2 入／出力バス群の第 1 及び第 2 入／出力線群は複数の列選択スイッチを通じて隣接したサブアレイの第 2 ビット線群の第 1 及び第 2 サブビット線群にそれぞれ連結されることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は半導体メモリに関するもので、特に中央処理装置（CPU）のような外部システムからのシステムクロックに同期して、メモリセルアレイ内のデータに高速でアクセスすることができる同期ダイナミックランダムアクセスメモリに関するものである。

【 0 0 0 2 】

【従来の技術】コンピュータシステムは与えられた作業に対する命令を実行するためのCPUと、CPUが要求するデータや、プログラム等を貯蔵するための主メモリを一般的に有する。コンピュータシステムの性能の向上のためには、CPUの動作速度を増加することと、CPUが待機時間なしに動作できるように主メモリへのアクセス時間をできる限り短くすることが要求される。最近のマイクロプロセッサのような現代的CPUにおいては、クロック周波数が33MHz、66MHz、100MHzと速まり、それにつれ動作クロック周期はますます短くなってきている。しかし、ビット当りのコストにおいて低価なため主メモリ装置として多用されている高密度ダイナミックランダムアクセスメモリ(DRAM)の動作速度は、高速化したCPUの動作速度と歩調を合わせることができなかった。

【0003】DRAMは行アドレスストロブ信号バーRASの活性化時点、即ち論理“ハイ”から論理“ロウ”へのバーRASの遷移時点から、列アドレスストロブ信号バーCASの活性化によりラッチされた列アドレスの指定メモリ位置からデータがデータ出力バッファを通じて出力されるまでの最小時間、即ち最小バーRASアクセス時間を固有に有している。このバーRASアクセス時間はバーRAS待ち時間(latency)といわれ、そしてバーCASの活性化からデータ出力までの時間はバーCAS待ち時間といわれる。さらにまた、DRAMは読出し動作後に再びアクセスする前にプリチャージ時間が必要である。このような要因によりDRAMの全体的な動作は低速となり、従って、CPUは待機時間を持たざるを得ない。

【0004】CPUの動作速度と、DRAMのような主メモリの動作速度との差を補償するため、コンピュータシステムはCPUと主メモリとの間にキャッシュメモリ(cache memory)と呼ばれる高速で高価なバッファメモリを有する。このキャッシュメモリはCPUにより主メモリから頻繁に要求される情報データを貯蔵する。CPUがデータに対する要求を発する度にキャッシュメモリ制御装置はこれを受け取り、前記データがキャッシュメモリに貯蔵されているか否かを調べるためにキャッシュメモリを検査する。もし、要求されるデータがキャッシュメモリにあれば(以下、キャッシュヒットという)、高速データ伝送がキャッシュメモリからCPUに直ぐさま行われる。しかし、要求されるデータがキャッシュメモリになければ(以下、キャッシュミスという)、キャッシュメモリ制御装置はより低速の主メモリからデータを読み出す。ここで読み出されたデータはキャッシュメモリに貯蔵され、CPUに送り出される。こうして、このデータに対する以後の要求はキャッシュメモリから高速に読み出すことができるようになっている。即ち、キャッシュヒットの場合はキャッシュメモリから高速デ

ータ伝送が可能であるが、キャッシュミスの場合には主メモリからCPUへ的高速データ伝送が期待できず、これによってCPUの待機時間をもたらしてしまう。従って、主メモリとして使用するDRAMは高速動作の達成が重要である。

【0005】DRAMとCPU又はキャッシュメモリとの間のデータ伝送は連続的なデータ、所謂データブロックとして伝送される。連続的なデータを高速で伝送するため、ページモード、スタティックコラムモード、ニブルモードといった動作モードを有するDRAMが提示されており、これら動作モードは米国特許番号第3,969,706号及び第4,750,839号に開示されている。ニブルモードを有するDRAMのメモリセルアレイは、多数のセルが同一アドレスによってアクセスできるように例えば4つに分割されている。データは連続して書込みあるいは読出しが可能のようにシフトレジスタに一時的に保持される。ニブルモードを有するDRAMは5ビット以上のデータを連続して伝送できないので、高速データ伝送システムに適用する時にシステム設計の柔軟性が低下する。

【0006】DRAMにおいてページモードとスタティックコラムモードはバーRASタイミングで同一行アドレスが選択され、読出し信号全部がラッチされた後、ページモード時には、バーCASTタイミングでバーCASのパルス発生つまりトグルングに同期し、また、スタティックコラムモード時には列アドレスの遷移を検出して、それぞれ列アドレスを連続してアクセスすることによって実現される。しかし、ページモード又はスタティックコラムモードを有するDRAMは、列アドレスの選択後に次の新たな列アドレスを入力するための列アドレスの設定及び保持時間といった特定時間を必要とする。従って、100-Mbit/sec以上の高いメモリ帯域幅(memory bandwidth)で連続的なデータをアクセスすること、即ちバーCASサイクル時間を10nsec以下にすることは不可能である。また、ページモードにおいてバーCASサイクル時間の短縮は書込み動作時に選択されたメモリセルにデータを書き込むための十分な列選択時間を保障できないので、誤りデータが書き込まれる可能性がある。しかし、これら高速動作モードはCPUのシステムクロックに同期した動作ではないので、CPUが高速化される度にデータ伝送システムは新たに設計したDRAM制御装置を使用しなければならない。

【0007】従って、マイクロプロセッサなどの高速CPUと歩調を合わせるため、このマイクロプロセッサのシステムクロックと同期して高速でデータにアクセスできる同期DRAMの開発が要求されている。具体的な回路の開示はないが、同期DRAMに関する一般的な説明が1992年4月に発行されたNIKKEI MIC-RODEVICESの第158頁～第161頁に開示されている。

【0008】同期DRAMに対する使用範囲の拡張と使

10

20

30

40

50

いやすさを向上させるため、同期DRAMの一つのチップが複数のシステムクロック周波数で動作し、各クロック周波数に依存する待ち時間と出力されるビットの数量を定めるバースト長（又はサイズ）と列アドレス形式等のような種々の動作モードをプログラムするように許容することが更に望ましい。DRAM技術において動作モードを選択する例は、1989年5月23日付発行の米国特許番号第4,833,650号と、1991年1月22日付発行の同一出願人に譲渡された米国特許番号第4,987,325号に開示されている。この技術はページモード、スタティックコラムモード及びニブルモードなどのような動作モードのうちいずれか一つを選択する技術を開示している。この従来技術に開示された動作モードの選択は、レーザー装置からのレーザービーム又は電源からの電流によるヒューズの切断、あるいはボンディングパッドの選択的連結によって行われる。しかし、これら従来の技術はいったん動作モードが選択されると、この選択された動作モードは他の動作モードに変更することができない。従って、従来技術は必要な場合に動作モードを任意に変更できないという欠点がある。

【0009】

【発明が解決しようとする課題】従って本発明の目的は、第一に、外部システムクロックに同期してデータの入出力が可能な同期ダイナミックランダムアクセスメモリを提供することにある。第二に、高性能の同期DRAMを提供することにある。第三に、高速データ伝送率で動作可能な同期DRAMを提供することにある。第四に、多様なシステムクロック周波数で動作できる同期DRAMを提供することにある。第五に、入力データ又は出力データの数をプログラムすることができる同期DRAMを提供することにある。第六に、バイナリー又はインタリーブモードで計数動作が可能な計数器を提供することにある。第七に、入力データ又は出力データの数に関係なく不必要なチップの内部動作を遮断する半導体メモリを提供することにある。第八に、多様な動作モードを設定できる半導体メモリを提供することにある。第九に、高速データ伝送率で動作するデータ伝送と、プリチャージを提供するデータ伝送回路とを有する半導体メモリを提供することにある。第十に、少なくとも2個のメモリバンクを有する一つの半導体メモリチップにおいて、これらメモリバンクの動作モードをそれぞれ設定できる回路を有する半導体メモリを提供することにある。

【0010】

【課題を解決するための手段】このような目的を達成するために本発明の半導体メモリは、外部アドレスとモード設定制御信号にตอบสนองしてアドレスコードを貯蔵するレジスタと、レジスタからのアドレスコードにตอบสนองして選択された動作モード信号を発生する動作モード設定回路と、前記動作モードの設定後自動的にプリチャージするための自動プリチャージ回路と、を有する。

【0011】半導体メモリ装置は、少なくとも2個のメモリバンクを同一チップ上にもち、前記各メモリバンクの動作モードを設定するために外部アドレス信号と外部ストロブ信号により各バンクを選択し、各バンクの動作モード制御信号を発生する制御手段を有する。

【0012】半導体メモリ装置は時系列的に1束になった入出力データの数によって定められるバースト長に従ってバーストの長さを示す信号を発生する手段と、該信号にตอบสนองしてデータの出力をディスエーブルするデータ出力バッファと、を有する。また、本発明の半導体メモリ装置は前記信号にตอบสนองしてリセットされるアドレス発生回路を有する。

【0013】半導体メモリ装置は行と列に配列された多数のメモリセルを有するメモリセルアレイと、同一行に接続された多数のメモリセルから少なくとも2個以上のメモリセルに貯蔵されたデータに対応ビット線に読出するための手段と、前記対応ビット線の数より多くのデータ線と、このデータ線のうち対応データ線に前記対応ビット線上に読出しされたデータを伝送するために前記対応ビット線を前記対応データ線に連結するための選択手段と、前記対応データ線上にデータ伝送中に他のデータ線をプリチャージする手段と、を有する。

【0014】また、本発明の半導体メモリ装置は、行と列に配列された多数のメモリセルをもち、前記列は予め予定された数の第1列と第2列にそれぞれグループ化された第1列群と第2列群を有するメモリセルアレイと、前記第1列の数と同一の第1データ線と前記第2列の数と同一の第2データ線とから構成されたデータバスと、前記各第1列群を構成する第1列と前記第1データ線との間にそれぞれ接続された第1選択スイッチと、前記各第2列群を構成する第2列と前記第2データ線との間にそれぞれ接続された第2選択スイッチと、前記第1データ線と前記第2データ線上のデータ伝送が代る代る行われるように前記第1選択スイッチと第2選択スイッチを代る代るターンオンする手段と、を有する。他の目的と種々の利点は添付の図面を参照して詳細に説明されるであろう。

【0015】

【実施例】以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。図面の説明においては、同一の構成要素に対してはできるだけ同一の符号又は参照番号を使用する。下記の説明において、メモリセルとメモリセルの数、メモリセルアレイの数、メモリバンクの数、電圧値、回路構成及び部品等の多くの特定の仕様が本発明の全体的な理解のために示されている。しかし、これら特定の仕様がなくても本発明の実施が可能であるのは、この技術分野で通常の知識を有する者には自明であろう。

【0016】本実施例の同期DRAMは同一チップ上に対（twin）ウェールCMOS製造技術を使用して製作さ

れ、0.6~0.65Vのしきい電圧を有するNチャネルトランジスタと-0.8~-0.85Vのしきい電圧を有するPチャネルトランジスタが使用される。また、3.3Vの電源電圧 V_{cc} が使用される。

【0017】チップの構造

図1及び図2は、本発明による同期DRAMの一つの半導体チップ上に形成された各種構成部分の概略的平面構造を示す図である。本実施例のDRAMは、2,097,152(2M)×8ビットで構成された16,777,216(16M)ビットの同期DRAMである。メモリセルアレイはデータ伝送率を高めるために図1に示された第1バンク12と図2に示された第2バンク14に分割されている。各バンク12、14はさらに上部メモリセルアレイ16Tと下部メモリセルアレイ16Bで構成されており、この上部及び下部メモリセルアレイ16T、16Bはそれぞれ4,194,304(4M)ビットのメモリセルを有している。

【0018】また、この上部及び下部メモリセルアレイ16T、16Bはさらに左右で隣接し合う2Mビットメモリセルであるメモリセルアレイ20TL、20TRと20BL、20BRに等分されている。ここで各メモリセルアレイ20TL、20TRと20BL、20BRを順に第1~第4メモリセルアレイと称するものとする。つまり、各バンク12、14は第1~第4メモリセルアレイで構成された4個のメモリセルアレイに分割されている。さらに、これら第1~第4メモリセルアレイはそれぞれ8個のサブメモリセルアレイ(以下、サブアレイと称する)22TL1~22TL8と、22TR1~22TR8と、22BL1~22BL8と、22BR1~22BR8に分割されている。このサブアレイのそれぞれは256本のセル行と、1,024本のセル列のマトリックス形式でなる256Kビットのメモリセルを有し、各メモリセルは公知の1トランジスタ1キャパシタ形のセルである。

【0019】各バンク12、14において上部メモリセルアレイ16Tと下部メモリセルアレイ16Bとの間には行デコーダ18が配されている。各バンク12、14の行デコーダ18は各サブアレイ内にある256本の行線、即ちワード線と接続し、行デコーダ18を中心に対称に配列された各上・下部サブアレイ対(22TL1、22BL1)、…、(22TR8、22BR8)内のワード線は垂直方向に配されている。行デコーダ18は、行アドレスバッファからの行アドレスに応答して第1~第4メモリセルアレイの中でそれぞれの一つのサブアレイを選択し、この選択されたサブアレイで一本のワード線を選択し、選択されたワード線上行駆動電圧を供給する公知の回路である。従って、行デコーダ18は各バンク12、14に与えられた行アドレスに応答して4本のワード線を選択する。即ち、上部左側サブアレイ22TL1~22TL8の中で選択された一つのサブアレイ

における一本のワード線と、下部左側サブアレイ22BL1~22BL8の中で選択された一つのサブアレイにおける一本のワード線と、上部右側サブアレイ22TR1~22TR8の中で選択された一つのサブアレイにおける一本のワード線と、下部右側サブアレイ22BR1~22BR8の中で選択された一つのサブアレイにおける一本のワード線とが選択される。

【0020】第1バンク12の上部メモリセルアレイ16Tと下部メモリセルアレイ16Bの右側端と、第2バンク14の上部メモリセルアレイ16Tと下部メモリセルアレイ16Bの左側端にそれぞれ列デコーダ24が位置する。各列デコーダ24は、横方向に相互平行で且つワード線と垂直に配される256本の列選択線と接続され、列アドレスに応答して前記列選択線のうちの一本を選択する。I/Oバス26はワード線に平行に配され、各サブアレイ22TL、22BL、22TR、22BRの両側端に隣接している。サブアレイ間にあるI/Oバス26は2個の隣接するサブアレイによって共有されている。各I/Oバス26は4対のI/O線で構成され、各I/O線対は相補関係にある2本の信号線で構成され、列選択スイッチ及びセンスアンプを通じて対応するビット線対と連結される。

【0021】図3は、前述の上部メモリセルアレイ16Tにあるサブアレイ22TL1~22TL8のうち奇数番目のサブアレイと、これに関連するI/Oバスの配置を示す図である。左側の第1I/Oバス26Lと右側の第2I/Oバス26Rはサブアレイ22の左右側端でワード線WL0~WL255とに平行に配されている。第1及び第2I/Oバス26L、26RはそれぞれI/O線対(I/O₀、バーI/O₀)と(I/O₁、バーI/O₁)で構成された第1I/O線対と、I/O線対(I/O₂、バーI/O₂)と(I/O₃、バーI/O₃)で構成された第2I/O線対で構成されている。

【0022】サブアレイ22は折返しビット線(folded bit line)方式で配列され、ワード線WL0~WL255に垂直な1,024対(即ち、2,048本のビット線)のビット線対28を有する。ワード線とビット線の交差点にメモリセル30が位置している。前記サブアレイ22を構成するビット線対28は所定数のビット線対(本実施例では2対のビット線)ずつ分けられ、奇数番目に位置する多数の第1ビット線群28L1~28L256と、偶数番目に位置する多数の第2ビット線群28R1~28R256とに分けられている。第1ビット線群28Lは第2ビット線群28Rと代る代る交互に配列されている。さらに、第1ビット線群28Lのうち奇数番目のビット線対(第1サブ群とする)28L1、28L3、…、28L255と偶数番目のビット線対(第2サブ群とする)28L2、28L4、…、28L256は対応するセンスアンプ32Lと列選択スイッチ34Lを介して第1I/Oバス26L内の前記第1I/O線対

と第2 I/O線対にそれぞれ接続され、第2ビット線群28Rのうち奇数番目のビット線対(第1サブ群とする)28R1、28R3、…、28R255と偶数番目のビット線対(第2サブ群とする)28R2、28R4、…、28R256は対応するセンスアンプ32Rと列選択スイッチ34Rを介して第2 I/Oバス26R内の第1 I/O線対と第2 I/O線対にそれぞれ接続されている。

【0023】左右側I/Oバス26L、26Rで第1 I/O線対(I/O₀、バーI/O₀) (I/O₁、バーI/O₁)に関連する列選択スイッチに接続された第1列選択線L0、L2、…、L254は、第2 I/O線対(I/O₂、バーI/O₂)、(I/O₃、バーI/O₃)に関連した列選択スイッチに接続された第2列選択線L1、L3、…、L255と平行に交互に配列されている。従って、行アドレスにより一本のワード線、即ち一つのページが選択された後に列選択線L0~L255を読み出し動作で連続して選択することにより、各左右側I/Oバス26L、26Rにある第1 I/O線対と第2 I/O線対は2ビットずつ代る代る継続するデータ(continuous data)を提供する。即ち、各I/Oバスにある第1及び第2 I/O線対は2ビットのデータを代る代る連続して伝送するようになっている。

【0024】対応センスアンプ32L、32Rと連結され、交互に反対方向に延びて配される線対36は、隣接するサブアレイ内にある対応センスアンプ32L、32Rを通じて対応ビット線群28L、28Rとそれぞれ接続される。即ち、第1 I/Oバス26Lの第1 I/O線対と第2 I/O線対は、左側に隣接するサブアレイ(図示せず)の第1ビット線群のうち奇数番目のビット線対(第1サブビット線群と称する)と偶数番目のビット線対(第2サブビット線群と称する)と対応列選択スイッチ32Lとを、対応センスアンプを通じてそれぞれ連結される。そして同様に、第2 I/Oバス26Rの第1 I/O線対と第2 I/O線対は、右側に隣接するサブアレイ(図示せず)の第2ビット線群のうち奇数番目のビット線対(第1サブビット線群)と偶数番目のビット線対(第2サブビット線群)とを、対応列選択スイッチ32Rと対応センスアンプを通じてそれぞれ連結される。

【0025】従って、図1及び図2の各サブアレイのビット線対は図3に示されたようにサブアレイ22の第1及び第2ビット線群のように分けられているので、この第1ビット線群に関連したI/Oバスは、第2ビット線群に関連したI/Oバスと交互に配列される。即ち、奇数番目に位置したそれぞれの第1 I/Oバスはこのバスに隣接した二つのサブアレイ内の第1ビット線群に係わっており、偶数番目に位置したそれぞれの第2 I/Oバスはこのバスに隣接した二つのサブアレイ内の第2ビット線群に係わっている。図1及び図2の各サブアレイにおける第1及び第2 I/Oバスの第1及び第2 I/O線

対と、このサブアレイの各ビット線対の接続関係は、図3と関連して説明した通りである。

【0026】なお、前記各センスアンプ32L又は32Rは、Pチャネルセンスアンプと分離用トランスファトランジスタとNチャネルセンスアンプ及び等化及びブリチャージ回路で構成された公知のセンスアンプを使用することが出来る。従って、隣接する二つのサブアレイ間にあるI/Oバス26は、分離用トランスファトランジスタを制御することにより選択されたサブアレイからデータを読み出し、あるいは前記アレイにデータを書き込むための共通I/Oバスである。

【0027】上記図1及び図2において、各バンク12、14で第1及び第3メモリセルアレイ20TL、20TRの上部にこれらに対応するI/O線選択及びブリチャージ回路38TL、38TRと、I/Oセンスアンプ及びラインドライバ40TL、40TRがそれぞれ位置し、第2及び第4メモリセルアレイ20BL、20BRの下部にこれらに対応するI/O線選択およびブリチャージ回路38BL、38BRと、I/Oセンスアンプ及びラインドライバ40BL、40BRがそれぞれ位置する。I/O線選択及びブリチャージ回路38TL、38TR、38BL、38BRは対応メモリセルアレイ20TL、20TR、20BL、20BR内のI/Oバス26の対とそれぞれ接続される。

【0028】即ち、奇数番目のI/O線選択及びブリチャージ回路は対応メモリセルアレイ内の奇数番目のI/OバスのI/Oバス対とそれぞれ接続され、偶数番目のI/O線選択及びブリチャージ回路は対応メモリセルアレイ内の偶数番目のI/OバスのI/Oバス対とそれぞれ接続される。よって、各バンク12、14の前記I/O線選択及びブリチャージ回路の一番外側にあるI/O線選択及びブリチャージ回路はそれぞれ3個のサブアレイ内の第1ビット線群と連結されたメモリセルにデータを書き込み、あるいはそのメモリセルからデータを読み出すことができ、残りの偶数番目及び奇数番目のI/O線選択及びブリチャージ回路は4個のサブアレイ内の第2ビット線群及び第1ビット線群と連結されたメモリセルにデータを書き込み、あるいはそのメモリセルからデータを読み出すことができる。

【0029】各I/O線選択及びブリチャージ回路38は、この回路に接続した一対のI/Oバスのうちいずれか一つを選択するI/Oバス選択回路と、選択されたI/Oバスを構成する第1 I/O線対(I/O₀、バーI/O₀)及び(I/O₁、バーI/O₁)と第2 I/O線対(I/O₂、バーI/O₂)及び(I/O₃、バーI/O₃)のうちいずれか一つがデータを伝送する時、他のI/O線対をブリチャージするためのI/O線ブリチャージ回路とから構成される。

【0030】PIOバス44と対応するI/Oセンスアンプ及びラインドライバ40にを通してそれぞれデータ

10

20

30

40

50

バス42T、42B(DB0~DB7)に接続される。各PIOバス44は対応I/Oバス選択回路により選択されたI/Oバスに接続される。従って、PIOバス44はI/Oバス26と同様に4対のPIO線で構成されている。各I/Oセンスアンプ及びラインドライバ40は、読出し動作で対応I/Oバス選択回路とPIOバスを通して入力されるデータを増幅するためのI/Oセンスアンプと、書込み動作で対応データバス42を通して入力されるデータをI/Oバス選択回路によって選択されたI/Oバスに送出するためのラインドライバとで構成される。従って、上述したように第1I/O線対と第2I/O線対のうちいずれか一つのI/O線対上のデータが対応PIO線対を通じて前記センスアンプに入力されると、他のI/O線対と連結されたPIO線対は、前記I/O線ブリチャージ回路により前記I/O線対と共にブリチャージされる。書込み動作においてラインドライバ40も選択されたPIO線対を通じて対応I/O線対にデータを送出するとき、非選択されたPIO線対とこれらの対応I/O線対はブリチャージを始める。

【0031】図1および図2に示す同期DRAMチップ上の最上端と最下端には上部データバス42Tと下部データバス42Bが横方向に平行にそれぞれ配されている。データバス42Tと下部データバス42Bはそれぞれ4対のデータバスで構成され、各データバスは上述したI/Oバス26及びPIOバス44の線の数と同一の4対のデータ線で構成されている。上部データバス42Tを構成する4対のデータバスDB0~DB3と、下部データバス42Bを構成する4対のデータバスDB4~DB7の右側端はデータ入出力マルチプレクサ46にそれぞれ接続され、データ入出力マルチプレクサ46はデータ入出力線47とデータ入出力バッファ48を通して入出力パッド(図示せず)にそれぞれ連結される。

【0032】各バンク12、14において、第1メモリセルアレイ20TLと関連したI/Oセンスアンプ及びラインドライバ40TLは、第1及び第2データバスDB0、DB1と代る代る接続され、第3メモリセルアレイ20TRと関連したI/Oセンスアンプ及びラインドライバ40TRは第3及び第4データバスDB2、DB3と代る代る接続される。同様に、第2メモリセルアレイ20BLと関連したI/Oセンスアンプ及びラインドライバ40BLは第5及び第6データバスDB4、DB5と代る代る連結され、第4メモリセルアレイ20BRと関連したI/Oセンスアンプ及びラインドライバ40BRは第7及び第8データバスDB6、DB7と代る代る連結されている。

【0033】中央I/Oセンスアンプ及びラインドライバ43T、43Bは各バンク12、14において第1メモリセルアレイ20TLと第3メモリセルアレイ20TRとの間及び第2メモリセルアレイ20BLと第4メモリセルアレイ20BRとの間にあるI/Oバスとそれぞ

れ接続する。各バンク12、14において上部にある中央I/Oセンスアンプ及びラインドライバ43Tは読出し動作時に制御信号にตอบสนองして対応I/Oバス上のデータを増幅し、データバスDB1又はDB3に連結する作用をするI/Oセンスアンプと、書込み動作時に制御信号にตอบสนองしてデータバスDB1又はDB3上のデータをI/Oバスに送出するラインドライバとから構成される。同様に、下部にある中央I/Oセンスアンプ及びラインドライバ43Bは第4及び第8データバスDB5、DB7と接続されている。

【0034】例えば、第1バンク12内のサブアレイ22TL3、22BL3、22TR3、22BR3とこれらの各サブアレイ内の一本のワード線(又はページ)が行アドレスにตอบสนองする行デコーダ18によって選択されると仮定すると、この行デコーダ18は各サブアレイ22TL3、22BL3、22TR3、22BR3を指定するブロック情報信号(後述するが、図26にBLSとして示す)を発生する。その後、読出し動作において、後述する制御回路50は、一つの外部列アドレスにตอบสนองして連続する列アドレスを発生し、この列アドレス流れ(stream)にตอบสนองして列デコーダ24は連続する列選択信号を発生する。この様な連続的列選択を行なうために、列クロックに対応するシフトレジスタ型のカウンタあるいはリング上のシフトレジスタの出力と通常行レコーダの出力と論理和を用いてもよい。この場合は、行デコーダの初期出力をシフトレジスタにセットする必要がある。

【0035】一番目の列選択信号CSL0が列選択線L0を選択すると仮定すると、図3にトランスファークロップとして示された対応列選択スイッチ34がターンオンして、対応ビット線対上に形成されたデータが前記各サブアレイの両側端に配置された左右側I/Oバスの第1I/O線対(I/O₀、バーI/O₀)及び(I/O₁、バーI/O₁)に伝送される。I/O線選択及びブリチャージ回路38TL、38BL、38TR、38BRはブロック情報信号BLSを入力してそれに対応する。選択されたサブアレイ22TL3、22BL3、22TR3、22BR3と関連するI/O線選択及びブリチャージ回路38TL、38BL、38TR、38BRは前記サブアレイと関連する左右側I/Oバスを選択する。

【0036】この左右側I/Oバス内にある第1I/O線対上のデータは、対応PIO線対と前記ブロック情報信号BLSにตอบสนองして発生した制御信号によってターンオンされた対応I/Oセンスアンプを介して、対応データバスDB0~DB7内の対応データ線対に伝送される。しかし、このときデータ伝送のないI/O線対、即ち第2I/O線対とこれに連結されたPIO線対は前記I/Oブリチャージ回路により全てブリチャージ状態にある。また、データを伝送しないデータ線対は後述のようにデータ入出力マルチプレクサ46によりブリチャー

ジされている。その後、列アドレス流れのうち2番目の列選択信号CSL1により対応列選択スイッチがターンオンされると、同様に前記左右側I/Oバス内の第2I/O線対と対応PIO線対及び対応データ線対に対応ビット線上のデータが伝送される。その反面、第1I/O線対及びこれらに連結されるPIO線対及びデータ線対はプリチャージされ、以後のデータを伝送するための用意をする。

【0037】列選択線L1上の列選択信号CSL1の次に列選択信号CSL2～CSL255が連続して列選択線L2～L255上に入力されると、列選択信号CSL0、CSL1の場合のデータ伝送動作が反復して行われる。従って、選択されたワード線と接続された全てのメモリセルから読み出されたビット線対上の全てのデータが読み出される。即ち、全てのページ読出し(full page read-out)が可能である。読出し動作において、第1I/O線対と第2I/O線対は、データの伝送とプリチャージを代る代る複数のデータを伝送し、第1及び第2I/O線対に関連する第1データ線対と第2データ線対も対応するデータ伝送とプリチャージを周期的に繰り返す。各データバスと接続したデータ出力マルチプレクサは第1及び第2データ線対のうちいずれか一つを通じて並列に伝送される複数のデータを貯蔵し、他のデータ線対をプリチャージする。よって、各データ出力マルチプレクサは第1及び第2データ線対上の複数のデータを予め予定された周期で先取り(prefetch)しつつ、データ選択信号にตอบสนองして連続する直列データを出力する。直列データをシステムクロックに同期して対応データ出力バッファを介してデータ入出力パッドに出力する。これにより、クロックサイクル毎に8ビットの並列データが連続出力される。

【0038】書込み動作は上述した読出し動作と逆の順序で行われる。簡単に説明すれば、直列データはデータ入出力パッドを通じてデータ入力バッファからシステムクロックに同期して直列に出力される。データ入力バッファからの直列データは、各データ入力マルチプレクサによりクロックサイクルごとに複数の並列データとして対応データバスの第1及び第2データ線対に代る代る伝送される。第1又は第2データ線対上のデータは対応ラインドライバとI/O線選択回路によって選択されたI/Oバス及び対応ビット線対を通して選択されたメモリセルに順次書き込まれる。読出し動作におけるデータ伝送とプリチャージと同様に、同一バス内にある第1線対と第2線対のデータ伝送とプリチャージはクロックサイクルごとに交互に行われる。

【0039】第1バンク12と第2バンク14との間には本発明による同期DRAMの動作を制御するための制御回路50が配置される。制御回路50は行及び列デコーダ18、24と、I/O線選択及びプリチャージ回路38と、I/Oセンスアンプ及びラインドライバ40、

43と、データ入出力マルチプレクサ46と、データ入出力バッファ48を制御するための制御クロック及び信号を発生する働きをする。さらに、制御回路50は行制御回路と列制御回路に分けることができる。以下、制御回路50について、行制御回路、データ通路、及び列制御回路に分けて説明する。

【0040】行制御回路

通常の非同期DRAMは、バーRASの論理レベル、例えば論理“ロウ”によって読出し又は書込みなどの動作を行うために活性化される。これを以下の説明ではレベルバーRASと称する。レベルバーRASは所定の情報、例えば論理“ハイ”から論理“ロウ”へのバーRASのレベル遷移は活性化を命令し、論理“ロウ”から論理“ハイ”へのバーRASのレベル遷移はプリチャージを命令する情報を提供している。しかし、同期DRAMはシステムクロックに同期して動作しなければならないので、通常のDRAMで使用する上記命令は同期DRAMでは使用できない。即ち、同期DRAMはシステムクロックの立上りエッジ(rising edge)又は立下りエッジ(falling edge)で命令情報をサンプリングすることが必要なので(本発明の実施例は立上りエッジで命令をサンプリングする)、レベルバーRASが同期DRAMで適用されるにしても、通常のレベルバーRASの命令は使用できない。

【0041】図6と図7は本発明による同期DRAMで使用する命令を示すタイミング図である。図6はパルス信号であるバーRAS信号(以下、パルスバーRASという)が使用される場合の各種の命令を示すもので、図7はレベルバーRASが使用される場合の各種命令を示すものである。

【0042】図6と図7から分るように、システムクロックCLKの立上りエッジでバーRASが論理“ロウ”で、バーCASと書込みエネーブル信号バーWEが論理“ハイ”であれば活性化(アクティブ)される。また、活性化後のシステムクロックCLKの立上りエッジにおける論理“ハイ”のバーRAS、論理“ロウ”のバーCASと論理“ハイ”のバーWEは読出し命令を表す。また、活性化後のシステムクロックCLKの立上りエッジにおける論理“ハイ”のバーRAS、論理“ハイ”のバーCASと論理“ロウ”のバーWEを書込み命令を表す。システムクロックCLKの立上りエッジにおいて論理“ロウ”のバーRAS、論理“ハイ”のバーCASと論理“ロウ”のバーWEがサンプリングされた時にはプリチャージが行われる。また、本発明の特徴である動作モード設定命令の入力は、クロックCLKの立上りエッジでバーRAS、バーCAS、及びバーWEが全部論理“ロウ”の場合に行なわれる。また、バーCASビフォアバーRASリフレッシュ(バーCAS-before-バーRAS refresh:以下CBRとする)命令はCLKの立上りエッジでバーRASとバーCASが論理“ロウ”

で、バーWEが論理“ハイ”の場合に入力される。セルフリフレッシュ (self refresh) 命令はCBRの変種であって、クロックCLKの連続する3つの立上りエッジでバーRASとバーCASが論理“ロウ”で、バーWEが論理“ハイ”の場合に入力される。

【0043】同期DRAMも通常の非同期DRAMと同様に、バーRASの活性化からバーCASの活性化（論理“ロウ”）までの期間、即ちバーRAS-バーCAS遅延時間 t_{rc0} とバーRASの活性化前のプリチャージ期間、即ちバーRASプリチャージ時間 t_{rp} を固有に有している。有効なデータの書込みと読出しを保障するため、これら t_{rc0} と t_{rp} の最小値（本発明の同期DRAMでそれぞれ20nsと30ns）はメモリシステムの設計者にとって重要である。同期DRAMにおいてはシステム設計者の便宜を図るため、システムクロック周期で正規化して t_{rc0} と t_{rp} の最小値をシステムクロックサイクルの数として提供するのが望ましい。例えば、システムクロック周波数が100MHで t_{rc0} と t_{rp} の最小値がそれぞれ20nsと30nsである場合、 t_{rc0} と t_{rp} のクロックサイクルはそれぞれ2と3になる。行制御回路は、前述した t_{rc0} の期間中にワード線を選択し、読出し動作でメモリセルからの情報をビット線に送出し、そして、この t_{rp} の期間中にプリチャージをするための信号又はクロックを発生する手段である。

【0044】図4は本発明による行制御クロック又は信号を発生するための概略的ブロック図である。図4において、クロック（CLK）バッファ52はTTLレベルの外部システムクロックCLKに应答してCMOSレベルの内部システムのクロック信号 ϕ_{clk} に変換するためのバッファである。同期DRAMはこのクロック信号 ϕ_{clk} の立上りエッジでチップ外部からの信号又はチップ外部に送り出すデータをサンプリングする各種の内部動作が行われる。また、クロックバッファ52はクロックCLKに应答してクロック信号 ϕ_{clk} の位相より速いクロックCLKAを発生する。

【0045】クロックエネーブル（CKE）バッファ54は外部クロックエネーブル信号CKEと前記クロックCLKAに应答してクロック信号 ϕ_{clk} の発生を遮断（マスキング）するためのクロックマスキング信号 ϕ_{cke} を発生する回路である。後述するように、クロックマスキング信号 ϕ_{cke} により立ち上がりを止められた内部システムのクロック信号 ϕ_{clk} によって、チップの内部動作が中止されデータの入出力が一時停止（Freezing）される。

【0046】バーRASバッファ56は外部信号バーRASと、アドレス信号SRA10、SRA11とバーCASバッファ信号 ϕ_c 及びバーWEバッファ信号 ϕ_{we} を入力してクロック信号 ϕ_{clk} に同期してバンクを選択的に活性化し、且つ前記バンクを選択的又は全体的にプリチャージし、リフレッシュ又は動作モードプログラム

後に自動的にプリチャージさせるバーRASクロック信号 ϕ_{rci} を発生する。ここで、iはバンク表示符号である。また、バーRASバッファ56はクロック信号 ϕ_{clk} によりバーRASの状態をサンプリングしたバーRASパルス信号 ϕ_{rp} を発生する。

【0047】動作モード設定回路58は、動作モード設定命令と上記バーRASパルス信号 ϕ_{rp} 、バーCASバッファ信号 ϕ_c 、及びバーWEバッファ信号 ϕ_{we} とアドレス信号RA0～RA6に应答して種々の動作モード、例えばバーCAS待ち時間信号CLjと連続して出力されるデータの個数を表す動作モード信号SZバーnと、内部列アドレスをスクランブルする方式を表す列アドレッシングモード信号 ϕ_{intel} を設定する機能を有する。さらにまた、動作モード設定回路58は前記動作モードの設定命令がない時に予定されたバーCAS待ち時間、バースト長及びアドレスモードが自動的に選択される欠落補充（Default）動作モードを設定する。

【0048】行マスタクロック発生回路62はバンク選択信号のバーRASクロック信号 ϕ_{rci} と前記待ち時間信号CLjに应答して選択されたバンクでバーRASチェーンに関わるクロック又は信号の発生に根拠となる行マスタクロック信号 ϕ_{ri} を発生する。本発明の特徴的働きにより、行マスタクロック信号 ϕ_{ri} は待ち時間値jに依存する時間遅延を有し、またこの時間遅延はプリチャージ命令後に、システムクロックに同期した2ビットのデータ出力を保障する。

【0049】行アドレスバッファ60は前記行マスタクロック信号 ϕ_{ri} と外部アドレス信号A₀～A₁₁と後述する行アドレスリセットクロック信号 ϕ_{rari} を入力し、クロック信号 ϕ_{clk} に同期して行アドレス信号RA0～RA11も発生する。また、この行アドレスバッファ60はリフレッシュ時にリフレッシュ計数器からの計数信号を入力し、リフレッシュのための行アドレス信号RA0～RA11を出力する。行制御信号発生回路64は行マスタクロック信号 ϕ_{ri} と行デコーダ18からのブロック情報信号BLSを入力し、昇圧されたワード線駆動信号 ϕ_r と、選択されたセンスアンプを活性化するためのセンシング開始信号 ϕ_s と、行アドレスバッファ60をリセットするための行アドレスリセットクロック信号 ϕ_{rari} と、列アドレスバッファ344をパワーオンする列アドレスバッファエネーブル信号 ϕ_{ral} と、行関連クロック又は信号の完了を知らせるバーRASチェーン終了通知信号 ϕ_{rc0} とを発生する。

【0050】列エネーブルクロック発生回路66は、行関連クロック又は信号の完了を知らせることによって、後述するバーRAS-バーCAS遅延時間 t_{rc0} を保障するバーRASチェーン終了通知信号 ϕ_{rc0} と行マスタクロック信号 ϕ_{ri} を入力し、列関連回路をエネーブルするための列エネーブル信号 ϕ_{rei} と列エネーブル信号 ϕ_{re} を発生する。高周波数クロック発生回路68は、外

部システムクロックCLKの周波数が低く、プリチャージ命令後の読出し動作で2ビットのデータ出力が要求された時、プリチャージ期間の縮小を防止するためクロックCLKの周波数より高い周波数のクロックCNTCLK9を発生する。後述するように、列アドレス発生回路は前記クロックCNTCLK9に基づいて列アドレスを発生するので、プリチャージ期間の縮小が防止される。次に、バーRASチェンクロック発生部を構成する構成要素の具体的な実施例を詳細に説明する。

【0051】1. CLKバッファ及びCKEバッファ
図8は本発明によるCLKバッファ52の具体回路図、図9は本発明によるCKEバッファ54の具体回路図、図10は前記CLKバッファ52とCKEバッファ54の動作タイミング図である。

【0052】図8において、差動増幅器のような入力バッファ70aは、外部システムクロックCLKを基準電圧 V_{ref} (=1.8V)と比較することによって、外部TTLレベルの信号を内部CMOSレベルの信号、例えば約3Vの論理“ハイ”又は0Vの論理“ロウ”の信号に変換する。この入力バッファ70aは差動増幅器の代わりにTTL信号をCMOS信号にレベルシフトできる他の入力バッファ回路でも使用可能である。図10に示されたように、クロックCLKAは、差動増幅器のような入力バッファ70とゲート、例えばインバータ76とNANDゲート78を通じてシステムクロックCLKに反転されたクロック信号である。NORゲート72、74で構成されたフリップフロップ又はラッチ80はクロックマスキング信号 ϕ_{cke} が論理“ロウ”のとき、CMOSレベルの内部システムクロック信号 ϕ_{clk} を出力する。フリップフロップ80の出力クロックは遅延回路82とNANDゲート84で構成されるパルス幅調整回路85に供給される。遅延回路82は図示の簡略化のためインバータだけが示されているが、インバータとキャパシタで構成された回路又は他の遅延回路も使用可能である。従って、クロックマスキング信号 ϕ_{cke} が論理“ロウ”のとき、図10に示すような内部システムクロック信号 ϕ_{clk} がCLKバッファ52から出力される。しかし、クロックマスキング信号 ϕ_{cke} が論理“ハイ”のときにはフリップフロップ80の出力は論理“ロウ”となり、内部システムクロック信号 ϕ_{clk} の発生が中断される。図8において、インバータ89、Pチャネルトランジスタ90、及びNチャネルトランジスタ91、94はパワーオン(又はパワーアップ)信号 ϕ_{vcc} に応答して必要なノードに初期条件を提供するための構成要素である。公知のパワーオン回路からのパワーオン信号 ϕ_{vcc} は電源が印加された後、電源供給電圧 V_{cc} が十分なレベルに至るまで論理“ロウ”を維持する。

【0053】図9において、入力バッファ70bは外部クロックエネーブル信号CKEをCMOSレベルに変換する。電力消費を防止するためセルフリフレッシュで論

理“ハイ”を維持するセルフリフレッシュ信号 ϕ_{self} により入力バッファ70bの動作が遮断される。入力バッファ70bは前記信号CKEの反転されたCMOSレベルの信号を線93上に供給する。反転された信号CKEはクロックCLKの反転クロックCLKAをもってシフトするシフトレジスタ86に連結される。シフトレジスタ86の出力はNOR形のフリップフロップ88とインバータを通じてクロックマスキング信号 ϕ_{cke} の出力端子95に接続される。シフトレジスタ86の出力端子92はインバータを介して信号CKEBPUの出力端子に接続される。

【0054】クロックエネーブル信号CKEは論理“ロウ”の信号により内部システムクロック信号 ϕ_{clk} の発生が遮断されるので、チップの内部動作を一時停止させる。図10において、クロックCLK98をマスキングするための論理“ロウ”のクロックエネーブル信号CKEが示されている。クロックエネーブル信号CKEが論理“ロウ”になることにより、シフトレジスタ86の入力である線93は論理“ハイ”になる。その後、クロックCLKA100が論理“ロウ”になるとシフトレジスタ86の出力は論理“ハイ”となる。従って、クロックマスキング信号 ϕ_{cke} と信号CKEBPUはそれぞれ論理“ハイ”と“ロウ”状態になる。その後、次のクロックCLKA102が論理“ロウ”になった後にシフトレジスタ86の出力は論理“ロウ”に変わり、その結果信号CKEBPUは論理“ハイ”となる。このとき、フリップフロップ88の出力は論理“ロウ”を維持しているので、クロックマスキング信号 ϕ_{cke} は論理“ハイ”を維持する。しかし、その次のクロックCLKA104が論理“ハイ”になってからクロックマスキング信号 ϕ_{cke} は論理“ロウ”論理になる。そこで、図8について説明したように論理“ハイ”の信号クロックマスキング信号 ϕ_{cke} によりクロック98に対応する内部システムクロック信号 ϕ_{clk} がマスキングされる。

【0055】同期DRAMの内部動作は前記クロック信号 ϕ_{clk} に同期して動作するので、内部システムクロック信号 ϕ_{clk} のマスキングは内部動作が待機状態となるようにする。従って待機状態で電力消費の防止のため、信号CKEBPUは内部システムクロック信号 ϕ_{clk} に同期する入力バッファをディスエーブルするために使用される。また、クロックエネーブル信号CKEはシステムクロックCLKをマスキングするために、マスクされるクロックCLKの少なくとも一つのサイクル前に印加されなければならない。そして、同期DRAMの正常動作のためクロックエネーブル信号CKEは論理“ハイ”でなければならない。

【0056】2: バーRASバッファ

本発明の同期DRAMは、高速データ伝送率を達成するために同一チップ上に2個のメモリバンク12、14を有している。そこで、同期DRAMの高性能を達成する

ため、各バンク12、14に対する多くの動作を選択的に制御する制御回路が必要である。従って、本発明によるバーRASバッファは多様な機能が合併された入力バッファである。

【0057】図11は本発明による多機能バースバーRAS入力バッファを示す具体回路図である。図11において、上述した入力バッファと同様に入力バッファ70cは外部行アドレスストロブ信号バーRASを内部CMOSレベルの信号に変換するものである。また、入力バッファ70cはシステムクロックマスキングCKE B 10 PU、セルフリフレッシュ信号 ϕ_{SELF} 、及びパワーオン信号 ϕ_{VCCP} を組み合わせたゲート回路106の出力によってディスエーブルされる。入力バッファ70cからのCMOSレベル信号は同期回路108の入力端子110に供給される。同期回路108はCMOSレベル信号を内部システムクロック信号 ϕ_{CLK} に同期させるバーRASパルス信号 ϕ_{R} を出力端子112に提供する。即ち、図12に示したように、時間 t_1 と t_2 で論理“ロウ”のバーRASは、出力端子112に論理“ハイ”のバーRASパルス信号 ϕ_{R} を所定時間遅延させて発生させる 20 ようになっている。

【0058】図11において、入力バッファ70c、同期回路108、及びゲート回路106を除いた他の回路は各バンク12、14を制御するためにこれらの回路に結合した多機能制御回路114である。パワーオン動作時に論理“ロウ”のパワーオン信号 ϕ_{VCCP} によりNチャネルトランジスタ148、150は共にターンオンされるので、第1バンク12用の第1バーRASクロック信号 ϕ_{RC1} と第2バンク14用の第2バーRASクロック信号 ϕ_{RC2} はラッチ154、156により両方共に初期 30 条件が論理“ロウ”にラッチされる。

【0059】第1バンク12を活性化すると同時に第2バンク14を非活性化するため、図12に示す時間 t_1 において論理“ロウ”のアドレス A_{11} を有する外部アドレス信号ADDがチップに供給される。すると、後述する行アドレスバッファはこのアドレス信号ADDから論理“ロウ”のアドレス信号SRA11（バーSRA11は論理“ハイ”）を発生する。一方、時間 t_1 においてバーCASとバーWEは全部論理“ハイ”を維持している 40 のので、後述するようにバーCASバッファ信号 ϕ_C とバーWEバッファ信号 ϕ_{WE} はすべて論理“ロウ”を維持する。従って、NORゲート116、126は共に論理“ロウ”を出力し、NANDゲート122、124は共に論理“ハイ”を発生する。そこで、NANDゲート128と130はそれぞれ論理“ハイ”及び論理“ロウ”を出力する。バーRASパルス信号 ϕ_{R} が論理“ハイ”になるとNANDゲート132は論理“ロウ”を発生し、NANDゲート134、136、138は論理“ハイ”を発生する。すると、Pチャネルトランジスタ140はターンオンされ、Pチャネルトランジスタ14 50

4とNチャネルトランジスタ142、146は全てオフ状態を維持する。従って、ラッチ154は論理“ロウ”を貯蔵する。一方、バーRASパルス信号 ϕ_{R} が論理“ロウ”になるとNANDゲート132、134、136、138は全部論理“ハイ”を発生し、これによってトランジスタ140、142、144、146は全てターンオフされる。結局、第1バーRASクロック信号 ϕ_{RC1} は論理“ハイ”となり、第2バーRASクロック信号 ϕ_{RC2} は初期条件で論理“ロウ”を貯蔵しているラッチ156により論理“ロウ”を維持する。このようにして、第1バンク12は第1バーRASクロック信号 ϕ_{RC1} によって活性化され、書込み又は読出し動作などの正常動作を行なう。しかし、第2バンク14は論理“ロウ”の第2バーRASクロック信号 ϕ_{RC2} によって活性化されない。

【0060】一方、高速伝送率で同期DRAMをアクセスするために、第1バンクの活性化中に第2バンクを活性化することができる。これは第1バンクの活性化後に論理“ハイ”のアドレス A_{11} を印加しつつ、第2バンクを活性化することで達成される。この場合、アドレス信号SRA11は論理“ハイ”になる（バーSRA11は論理“ロウ”になる）。上述したように、NANDゲート136は論理“ロウ”を発生し、NANDゲート132、134、138は全部論理“ハイ”を出力する。従って、クロック信号 ϕ_{RC1} は以前の状態すなわち論理“ハイ”を維持し、クロック信号 ϕ_{RC2} は論理“ハイ”になる。こうして、第1及び第2バンクが共に活性化状態にある。

【0061】第2バンクの読出しもしくは書込み動作中に、第1バンクもプリチャージされるようにすることができる。図12に示された時間 t_2 でプリチャージ命令が発する時、又はその前に共に論理“ロウ”の外部アドレス A_{10} と A_{11} がチップの対応アドレスピンに印加されると、アドレス信号SRA10とSRA11は共に論理“ロウ”になる（バーSRA11は論理“ハイ”になる）。この命令後、バーRASパルス信号 ϕ_{R} とバーWEバッファ信号 ϕ_{WE} は全部論理“ハイ”になり、バーCASバッファ信号 ϕ_C は論理“ロウ”になる。結局、バーRASパルス信号 ϕ_{R} が論理“ハイ”になる時にNANDゲート134は論理“ロウ”になり、NANDゲート132、136、138は全て論理“ハイ”を維持する。従って、トランジスタ142はターンオンされ、トランジスタ140、144、146は全部オフ状態を維持する。ラッチ154は論理“ハイ”を貯蔵し、第1バーRASクロック信号 ϕ_{RC1} は論理“ロウ”になる。しかし、第2バーRASクロック信号 ϕ_{RC2} は以前状態である論理“ハイ”をラッチ156により維持する。こうして、論理“ロウ”の第1バーRASクロック信号 ϕ_{RC1} は第2バンク14がデータアクセスを進めている間に第1バンク12はプリチャージされる。同様に、第2

バンクのプリチャージはプリチャージ命令と論理“ロウ”のアドレス A_{i1} と論理“ハイ”のアドレス A_{i1} が印加されることで達成可能である。

【0062】一方、第1及び第2バンク12、14の同時プリチャージは、アドレス A_{i1} の論理レベルに無関係に論理“ハイ”のアドレス A_{i1} とプリチャージ命令を印加することで達成されることが出来る。上述と同様に、NANDゲート134、138は論理“ロウ”を発生し、NANDゲート132、136は論理“ハイ”を発生する。従って、トランジスタ142、146はターン

オンされ、トランジスタ140、144はオフ状態を維持する。その結果、ラッチ154、156は論理“ハイ”のプリチャージ情報をそれぞれ貯蔵し、第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は論理“ロウ”になる。

【0063】CBRリフレッシュ命令は、図6に示したように論理“ロウ”のバーRASとバーCASと論理“ハイ”のバーWEによって与えられる。そこで、論理“ハイ”のバーCASバッファ信号 ϕ_c と論理“ロウ”のバーWEバッファ信号 ϕ_{we} が多機能制御回路114

20 に入力される。この場合、アドレス A_{i1} と A_{i1} の論理レベルに関係なく、NANDゲート124とNORゲート126は論理“ロウ”を発生する。結局、NANDゲート132、136は全部論理“ロウ”を発生し、NANDゲート134、138は論理“ハイ”を発生する。従って、トランジスタ140、144は全部ターンオンされ、トランジスタ142、146はターンオフされる。すると、第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は全部論理“ハイ”になり、2個のバンクはCBRリフレッシュを行なう。一方、この二つのバンクに対して選択的CBRリフレッシュを行なうためにはNANDゲート124の2つの入力端子のうちいずれか一つの接地電位 V_{ss} 端に連結すればよい。また、上述したようにアドレス A_{i1} の論理状態に従って第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} が選択的にエネーブルされることが出来る。即ち、CBRリフレッシュ命令下にアドレス A_{i1} が論理“ロウ”であれば、第1バンクのみがリフレッシュされる。

【0064】3. 行アドレスバッファ

図14は本発明による行アドレスバッファ60の具体回路図である。同図において、入力バッファ70dは上述した入力バッファと同様に入力アドレス信号 AI ($I=0\sim 11$)をCMOSレベルのアドレス信号に変換する。同図には入力バッファ70dをディスエーブル又はエネーブルするための制御信号RABPUを発生する論理回路158も示している。制御信号RABPUは、上述したように2個のバンクが両方とも活性化された時、又はシステムクロックマスキング動作がエネーブルされた時、あるいはリフレッシュ動作が開始された時に論理

“ハイ”となり、これによって入力バッファ70dは電力消費を防止するためにディスエーブルされる。この入力バッファ70dの出力端子161とノード162との間には出力が論理“ロウ”、論理“ハイ”、浮動の3状態に変化する3状態インバータ160が接続している。インバータ160はリフレッシュ動作中には論理“ロウ”のリフレッシュ信号 ϕ_{rf} によりオフ状態にある。読出し又は書込み動作のような正常動作において、インバータ160は行アドレス信号を内部システムクロック信号 ϕ_{clk} と同期させて出力し、この行アドレス信号をラッチ164に貯蔵する。ノード166にはバンクの数によって定められる複数の行アドレス提供回路が接続される。本発明の実施例では2個のバンクが使用されるので、2個の行アドレス提供回路168、170がノード166に並列に接続されている。第1バンク12用の行アドレス提供回路168はNORゲート174、インバータ176、180、伝送ゲート172、ラッチ178、及びNANDゲート182、184で構成されている。第2バンク14用の行アドレス提供回路170は上記行アドレス提供回路168の構成と同様である。リフレッシュアドレス提供回路198は行アドレス提供回路168、170に接続されており、リフレッシュ動作でリフレッシュ計数器(図示せず)からの計数値 $RCNTI$ を選択されたバンクに従って、この行アドレス提供回路168、170に供給するためのものである。

【0065】ここで、第1バンク12が非活性化状態で、第2バンク14が書込み又は読出し動作などの正常状態にあると仮定する。すると、第1バンクの行マスタクロック信号 ϕ_{r1} と第1バンクの行アドレスリセットクロック信号 ϕ_{ra1} は論理“ロウ”で、第2バンクの行マスタクロック信号 ϕ_{r2} と第2バンクの行アドレスリセットクロック信号 ϕ_{ra2} は論理“ハイ”となる。図12に示された時間 t_1 において、第1バンク12が活性化されると、前記行マスタクロック信号 ϕ_{r1} が論理“ハイ”になる前にラッチ164に予め貯蔵されている行アドレスは、共に論理“ロウ”である行マスタクロック信号 ϕ_{r1} 、行アドレスリセットクロック信号 ϕ_{ra1} によりターンオンされた伝送ゲート172を通じてラッチ178に貯蔵される。しかし、この場合に行マスタクロック信号 ϕ_{r2} は論理“ハイ”の状態なので伝送ゲート172'は以前のオフ状態を維持し、前記行アドレスが伝送ゲート172'を通して伝送されるのを防止する。その後、行マスタクロック信号 ϕ_{r1} が論理“ハイ”の時、行アドレス提供回路168は伝送ゲート172によりラッチ164の出力と分離される。その後第1バンクの行アドレスリセット信号 ϕ_{ra1} が論理“ハイ”となる時、NANDゲート182、184はラッチ178に貯蔵された行アドレス情報とその反転情報をそれぞれ出力する。その結果、伝送ゲート172からの行アドレス RAI と行アドレスバー RAI は第1バンク12の行デコーダに供給さ

れる。この行マスタクロック信号 ϕ_{r1} と行マスタクロック信号 ϕ_{r2} が共に論理“ハイ”のときに制御信号RABPUは論理回路158により論理“ハイ”となり、これによって全てのバンクの活性化又は正常動作による電力消費を防止するために入力バッファ70dがディスエーブルされる。

【0066】一方、CBR又はセルフリフレッシュのようなりフレッシュにおいて、リフレッシュ信号 ϕ_{rf} は論理“ロウ”で、リフレッシュ信号 ϕ_{rf} は論理“ハイ”である。第2バンクのリフレッシュの場合、上述したように第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は共に論理“ハイ”にあり、図19と関連して後述されるように第1バンクの行マスタクロック信号 ϕ_{r1} と第2バンクの行マスタクロック信号 ϕ_{r2} も論理“ハイ”にある。また、第1バンクの行アドレスリセットクロック信号 ϕ_{rasr1} と第2バンクの行アドレスリセットクロック信号 ϕ_{rasr2} も論理“ハイ”にある。従って、入力バッファ70と3状インバータ160はオフ状態になる。そして、伝送ゲート172、172'、194、もオフ状態で、伝送ゲート188、188'はオン状態にある。従って、このリフレッシュ動作前に論理“ロウ”のリフレッシュ信号 ϕ_{rf} によりターンオンされた伝送ゲート194を通じてラッチ192に貯蔵された公知のアドレス計数器(図示せず)からの計数アドレス信号RCNTIが、伝送ゲート188、188'、ラッチ178、178'、及びNANDゲート182、184、182'、184'を通じて各バンク12、14に対応する行デコーダに供給される。この後の各行デコーダのワード線選択とリフレッシュ動作は公知のDRAM動作と同一である。

【0067】多機能バーRASバッファで使用されるアドレスSRA10、SRA11として行アドレスバッファ60から出力される行アドレスRA10とRA11を使用することもできる。しかし、この場合、このアドレスRA10とRA11は時間的に多少遅れるので、速度のより速い行アドレスバッファがアドレスSRA10と

SRA11の発生のために、別途に同一チップ上に必要となる。

【0068】4. 動作モード設定回路

本発明による同期DRAMは応用範囲を拡張し使用の便宜を図るため、各種動作モードの中で所望のモードをシステム設計者が選択できるように設計されている。図15は動作モード設定回路58のブロック図である。同図において、動作モード設定制御信号発生回路200は動作モードの設定命令時に発生したバーCASバッファ信号 ϕ_c 、バーRASパルス信号 ϕ_{rp} 、及びバーWEバッファ信号 ϕ_{we} に応答してモード設定信号 ϕ_{ms} を発生する。アドレスコードレジスタ202は前記モード設定信号 ϕ_{ms} とパワーオン回路203からのパワーオン信号 ϕ_{vcc} に응答して、図14の行アドレスバッファ60からのアドレスに依存するアドレスコードMDST0~MDST6を貯蔵し、この中のアドレスコードMDST0~MDST2とMDST4~MDST6及び列アドレスモード信号 ϕ_{lrel} を発生する。バースト長論理回路204はアドレスコードMDST0~MDST2の論理組合によって発生された動作モード信号SZバーnを発生する。ここで、nはシステムクロックサイクルの数で表すバースト長である。待ち時間論理回路206は前記アドレスコードMDST4~MDST6の論理組合により選択されたバーCAS待ち時間信号CLjを発生する。ここで、jはシステムクロックサイクル数として示されるバーCAS待ち時間(又はバーCAS待ち時間値)を露している。

【0069】図16は動作モード設定制御信号発生回路200の具体回路図で、図22は動作モード設定又はプログラムに係るタイミング図である。本実施例において、動作モードをプログラムすることは、動作モード設定命令と下記の表1のようにアドレス入力ピンにアドレスA₀~A₇を同時に印加することで行なわれる。

【0070】

【表1】

バーCAS待ち時間 j				列アドレッシング方式		バースト長さ n			
A6	A5	A4	j	A3	方式	A2	A1	A0	n
0	0	1	1	0	バイナリー	0	0	1	2
0	1	0	2			0	1	0	4
0	1	1	3	1	インタリーブ	0	1	1	8
1	0	0	4			1	1	1	512

また、最大システムクロック周波数に関するバーCAS待ち時間jの最小選択値は下記の表2の通りである。

【0071】

【表2】

最大システムクロック周波数 (MHz)	バーCAS待ち時間j (クロックサイクル値)
33	1
66	2
100	3

上記表1、表2でバーCAS待ち時間値jはシステムクロックサイクル数を示している。また、最大システムクロック周波数に関する待ち時間値は同期DRAMの動作速度により変更することができる。

【0072】例えば、システムの設計者が100MHzでバイナリー列アドレッシング方式と連続する8ワードのデータアクセスを有するメモリシステムを設計しようとする場合、バーCAS待ち時間jの最小選択値は3である。3の待ち時間値が選択されると、動作モード設定のためのアドレスA₀～A₇は11001100である。バンク選択がアドレスA₁であったのは既に説明した。残りのアドレスはどのような値でもバンク選択とは無関係である。

【0073】データ伝送システムに適合した動作モードが選択され、このモード設定のためのアドレスが決定された後、同期DRAMのモード設定プログラムが行なわれる。モード設定命令と決定されたアドレスがチップの対応ピンに印加される。図22を参照して説明すると、時間t₁においてモード設定命令とアドレスADDが印加されると、バーRASバッファからのバーRASパルス信号φ_rと後述するバーCASバッファ信号φ_cとバーWEバッファ信号φ_wがすべて論理“ハイ”になる。図16に示す動作モード設定制御信号発生回路200において、全部論理“ハイ”であるバーCASバッファ信号φ_c、バーRASパルス信号φ_r、及びバーWEバッファ信号φ_wは、モード設定制御信号バーφ_{rcw}を論理“ロウ”にせしめる。その後、行アドレスリセットクロック信号φ_{ars}が論理“ハイ”のとき、行アドレスバッファは行アドレスRA0～RA7を発生する。従って、NANDゲート208の3個の入力は全部論理“ハイ”となり、これによってモード設定信号φ_{ms}は論理“ハイ”になる。

【0074】図17にはアドレスコードレジスタ202の具体回路図を示す。アドレスコードレジスタ202はパワーオン時に論理“ロウ”を貯蔵し、パワーアップ後にモード設定動作でモード設定信号φ_{ms}にตอบสนองしてアドレス信号RA0、RA2～RA4、及びRA6を貯蔵するための第1レジスタユニットと、パワーオン時に論理“ハイ”を貯蔵し、パワーアップ後にモード設定動作でモード設定信号φ_{ms}にตอบสนองしてアドレス信号RA1とRA5を貯蔵するための第2レジスタユニットから構成されている。

【0075】それぞれの第1レジスタユニットは、Pチ

ャネルトランジスタ212、214とNチャネルトランジスタ216、218で構成された3状インバータ210と、このインバータの出力端子に接続したラッチ222と、チャネルがこの出力端と電源供給電圧V_{cc}との間に接続しゲートがパワーオン信号φ_{vccn}に接続したPチャネルトランジスタ220とから構成される。パワーオン信号φ_{vccn}は電源の印加後に電源が内部正常動作を遂行する最小動作電圧に至るまでの、即ちパワーオン時は“ロウ”なので各第1レジスタユニットはパワーオン時にPチャネルトランジスタ220の導通により、対応アドレスコードMDSTI又は列アドレッシングモード信号φ_{intel}を論理“ロウ”に設定する。それぞれの第2レジスタユニットはPチャネルトランジスタ212'、214'とNチャネルトランジスタ216'、218'で構成された3状インバータ210'と、チャネルがこのインバータの出力端と基準電圧（接地電圧）端との間に接続し、ゲートがパワーオン信号φ_{vccn}の反転信号に連結されたNチャネルトランジスタ219と、インバータ210'の出力端に接続したラッチ222'とから構成される。各第2レジスタユニットはパワーオン時、アドレスコードMDST1又はMDST5が論理“ハイ”にラッチされるようにする。

【0076】しかし、電源電圧V_{cc}が上記最小動作電圧に到達した、即ちパワーアップ後、前記第1、第2レジスタユニットは、モード設定動作においてパワーオン信号φ_{vccn}は論理“ハイ”であるのでインバータ210、210'はモード設定信号φ_{ms}の論理“ハイ”にตอบสนองしてターンオンされ、ラッチ222、222'は行アドレスバッファ60からの行アドレスRAIを貯蔵し、この行アドレスRAIと同一のアドレス値を有するアドレスコードMDSTIを出力する。従って、モード設定プログラムが行なわれると、各アドレスコードMDSTIは対応アドレスと同一の値となる。なお、アドレス信号RA3に対応するMDST3は列アドレッシング方式を表す列アドレッシングモード信号φ_{intel}を示す。A3=0（論理“ロウ”）であれば、列アドレッシングモード信号φ_{intel}は論理“ロウ”となり、後述する列アドレス計数器がバイナリー増加方式として計数する。A3=1（論理“ハイ”）であれば、列アドレッシングモード信号φ_{intel}は論理“ハイ”となり後述されるインターリーブモードを示す。

【0077】図18は待ち時間論理回路206の具体回路図である。待ち時間論理回路206はバーCAS待ち時間と関連するアドレスコードMDST4～MDST6の論理組合せにより待ち時間信号CL1～CL4のうちいずれか一つを論理“ハイ”となるようにする。パワーオン時にMDST5は論理“ハイ”で、MDST4とMDST6は論理“ロウ”であるのでCL2だけが論理“ハイ”となる。図19はバースト長論理回路204の具体回路図である。バースト長論理回路204は、バー

スト長に係るアドレスコードMDST0~MDST2の論理組合せによりバースト長を示す信号SZバー2~SZバー512のうちいずれか一つを選択する。例えば、アドレスコードMDST0~MDST2が全部論理“ハイ”であれば、信号SZバー2~SZバー512の中で信号SZバー512のみが論理“ハイ”で、信号SZ4~SZ512はすべて論理“ハイ”となる。従って、後述するように前記信号に応答して連続する512ワード(full page)がデータ出力バッファを介して出力される。パワーオン時にMDST1は論理“ハイ”で、MDST0とMDST2は論理“ロウ”なのでバースト長信号SZバー4とSZ4のみが論理“ハイ”となる。

【0078】結果的に、モード設定信号 ϕ_{rs} が論理“ハイ”のとき各ラッチ222、222'に対応アドレスが貯蔵されることによって選択された動作モードが決定される。アドレスコードが対応ラッチ222、222'に貯蔵された後、本発明の特徴である自動ブリチャージ動作が行なわれる。別途のブリチャージ命令のなしに高速ブリチャージを行えるようにすることにより、ブリチャージ時間を短縮化できるので、次の動作、例えば活性化動作が待機時間なしに迅速に行なわれるようになる。

【0079】図20は、セルフリフレッシュから抜け出る時、又はモード設定プログラムで自動ブリチャージを行なう時のための自動ブリチャージ制御信号発生回路223を示す図である。同図において、セルフリフレッシュ信号 ϕ_{self} はセルフリフレッシュで“ハイ”レベルにあり、セルフリフレッシュ以外の時間では論理“ロウ”にある。従って、モード設定プログラムでNANDゲート224の出力は論理“ハイ”である。図22に示すように、行アドレスリセットクロック信号 ϕ_{rsi} が論理“ハイ”になるとNORゲート232の出力は論理“ハイ”になる。このとき、内部システムクロック信号 ϕ_{clk} は論理“ロウ”にある。その後、内部システムクロック信号 ϕ_{clk} が論理“ハイ”になると、遅延回路230によって定められる時間遅延後にNANDゲート226の出力は論理“ロウ”から論理“ハイ”になる。その結果、図22に示したように自動ブリチャージ制御信号発生回路223は論理“ロウ”の短いパルスをもつ自動ブリチャージ信号 ϕ_{br} をモード設定信号 ϕ_{rs} が論理“ハイ”になった後発生する。同様に、セルフリフレッシュ動作の終了時にセルフリフレッシュ信号 ϕ_{self} は論理“ハイ”から論理“ロウ”に遷移され、自動ブリチャージ制御信号発生回路223は短い“ロウ”パルスをもつ自動ブリチャージ信号 ϕ_{br} を発生する。図11において、自動ブリチャージ信号 ϕ_{br} はNANDゲート152に入力される。そこで、NANDゲート152はこの“ロウ”パルスにより“ハイ”パルスを発生し、Nチャンネルトランジスタ148、150をターンオンする。ラッチ154、156は論理“ハイ”を貯蔵

し、第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} を論理“ロウ”になるようにする。第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} がいったん論理“ロウ”になると、行マスタクロック信号 ϕ_{ri} と行アドレスリセットクロック信号 ϕ_{rsi} は順次に論理“ロウ”になってブリチャージ動作が行なわれる。

【0080】一方、モード設定プログラムなしに本発明の同期DRAMが使用されると(これを欠落補充動作モードと称する)、パワーオン時にパワーオン信号 ϕ_{vcc} により図17に示すPチャネルトランジスタ220とNチャネルトランジスタ219がターンオンされる。従って、ラッチ222は論理“ロウ”を貯蔵し、ラッチ222'は論理“ハイ”を貯蔵する。そして、アドレスコードMDSTI(I=0、2、4、6)と列アドレッシングモード信号 ϕ_{intell} は論理“ロウ”になり、コードMDST1とMDST5は論理“ハイ”になる。結局、欠落補充動作モードで2のバーCAS待ち時間とバイナリーアドレスモードと4のバースト長が自動的に選択される。

【0081】5. 行制御信号発生回路

図21はバーRASバッファ56からのバーRASクロック信号 ϕ_{rci} に反応して行マスタクロック信号 ϕ_{ri} を発生する行マスタクロック発生回路62の具体回路図である。図12に示されたように、第iバンクが活性化されるとバーRASクロック信号 ϕ_{rci} は論理“ハイ”になり、その後第iバンクの行マスタクロック信号 ϕ_{ri} はNORゲート234とインバータを介して論理“ハイ”になる。しかし、バンク切替え、又は一時的待機に伴って、ブリチャージをするため第iバンクのバーRASクロック信号 ϕ_{rci} が論理“ロウ”になると、行マスタクロック信号 ϕ_{ri} は各バーCAS待ち時間に従って異なる時間遅延後に論理“ロウ”になる。バーCAS待ち時間値jが1のとき、即ちCL1=ハイ、CL2=CL3=ロウのとき、行マスタクロック信号 ϕ_{ri} は主に時間遅延回路236、238、240の時間遅延後に論理“ロウ”になる。

【0082】バーCAS待ち時間値jが2に設定された時、行マスタクロック信号 ϕ_{ri} は主に時間遅延回路238、240の時間遅延後に論理“ロウ”になる。バーCAS待ち時間値jが3にプログラムされた時、行マスタクロック信号 ϕ_{ri} は主に時間遅延回路240の時間遅延後に論理“ロウ”になるようになっている。従って、システムクロックCLKの周波数が高いほど行マスタクロック信号 ϕ_{ri} が“ロウ”になる時間遅延は短くなる。こうした時間遅延は、バンク切替え時に、各バンク内回路における信号遅延に起因する切替えトラブルを防ぐために必要であり、書込み動作でブリチャージされる前に列選択信号が十分な時間の余裕を持って正確にデータを書き込み、読出し動作でブリチャージ命令後に連続する2

ビットのデータが出力するのを保障するためのものである。本実施例で $j = 1$ の場合に行マスタクロック信号 ϕ_{ri} が論理“ロウ”になる時間遅延は約 19 ns で、 $j = 2$ と $j = 3$ の場合の時間遅延はそれぞれ 6 ns と 3 ns としている。

【0083】行制御信号発生回路 64 は通常の論理回路で構成された回路であって、図 12 に示されたタイミング図のクロックを発生する。行アドレスリセットクロック信号 ϕ_{rari} は行マスタクロック信号 ϕ_{ri} が論理“ハイ”になった後論理“ハイ”になり、ワード線駆動信号 ϕ_r が論理“ロウ”になった後論理“ロウ”になる。ワード線駆動信号 ϕ_r は行アドレスリセットクロック信号 ϕ_{rari} が論理“ハイ”になった後に論理“ハイ”になり、行マスタクロック信号 ϕ_{ri} が論理“ロウ”になった後に論理“ロウ”になる。このワード線駆動信号 ϕ_r によって発生されたセンシング開始信号 ϕ_s は行デコーダ 18 で行アドレスをデコーディングして発生したブロック情報信号 BLS により選択されたセンスアンプを活性化する。列アドレスバッファ 344 をエネーブルするための列アドレスバッファエネーブル信号 ϕ_{ral} は行アドレスリセットクロック信号 ϕ_{rari} が論理“ハイ”になった後論理“ハイ”になり、バー RAS クロック信号 ϕ_{rci} が論理“ロウ”になった後論理“ロウ”になる。バー RAS - バー CAS 遅延時間 t_{rcd} を保障するためのバー RAS チェーン終了通知信号 ϕ_{rcdi} はセンシング開始信号 ϕ_s が論理“ハイ”になってから論理“ハイ”になり、行マスタクロック信号 ϕ_{ri} が論理“ロウ”になった後に論理“ロウ”になる。

【0084】図 23 はバー CAS チェーン回路をエネーブルするための列エネーブル信号 ϕ_{rei} と列エネーブル信号 ϕ_{recl} を発生するための論理回路図である。列エネーブル信号 ϕ_{recl} はバー RAS チェーン終了通知信号 ϕ_{rcdi} の遅延信号である。列エネーブル信号 ϕ_{rei} はバー RAS チェーン終了通知信号 ϕ_{rcdi} と行マスタクロック信号 ϕ_{ri} のゲーティングにより、図 12 に示したようなタイミングを有する信号である。

【0085】図 13 は本発明による高周波クロック発生回路を詳細に示す図である。高周波クロック発生回路 68 は低周波の外部システムクロック、例えば本実施例で 33 MHz 以下のシステムクロック CLK が使用される場合、プリチャージ時に内部システムクロックの周波数を逡倍する作用をする。該高周波クロック発生回路 68 はプリチャージ命令に依存するパルスが発生するパルス発生回路 242 と、発生されたパルスを内部システムクロック信号 ϕ_{clk} に論理和して逡倍されたシステムクロックを発生する NAND ゲート 248 と、予め予定された待ち時間で前記逡倍されたシステムクロックを伝送する伝送ゲート 252 とから構成されている。

【0086】図 24 は、 33 MHz のシステムクロック CLK とバースト長 SZ4 の場合での読出し及びプリチ

ャージ動作時のタイミング図を示している。読み出されるバンクに対するプリチャージ命令（制御信号 ϕ_{rc} の論理“ロウ”を指す）が時間 t_4 で発せられ、その後、バー RAS クロック信号 ϕ_{rci} は論理“ハイ”から論理“ロウ”になり、前記パルス発生回路 242 の出力端子 A は時間遅延回路 244、244' によって与えられた時間遅延に依存するパルス幅を有するパルスを出力する。このパルスはゲート 246、247、248 により内部システムクロック信号 ϕ_{clk} と論理和され、NAND ゲート 248 を介して逡倍されたシステムクロックを出力する。即ち、2 個の出力端子 A からのパルスの間を補充するように、多くの内部システムクロック信号 ϕ_{clk} のパルスが追加されて、パルス波数が高くなる。論理“ハイ”の CL1 と書込み動作でのみ論理“ハイ”になる書込み制御信号 ϕ_{wbc} により NOR ゲート 254 の出力は論理“ハイ”であるので、前記ゲート 248 の出力は伝送ゲート 252 を通して出力される。このとき、伝送ゲート 250 はオフ状態にある。従って、内部回路はプリチャージ命令後に逡倍された動作周波数を有する内部システムクロック CNTCLK9 により動作されるので、データ出力が迅速に行なわれ、プリチャージもプリチャージ命令後一層速い時間内に行なわれるようになる。システムクロック CLK が 33 MHz より高い周波数のとき、CL1 は論理“ロウ”にある。従って、NOR ゲート 254 の出力は論理“ロウ”にあり、伝送ゲート 252 はオフ状態にある。そこで、伝送ゲート 250 はターンオンされ、CNTCLK9 は内部システムクロック信号 ϕ_{clk} のような周波数となる。

【0087】データ通路

データ通路は、読出し動作でセルから読み出されたビット線上のデータをデータ出力バッファを通じて出力する通路、あるいは書込み動作でデータ入力バッファを通じて入力するデータをビット線に供給する通路をいう。このデータ通路に関する回路ブロックを図 25 に示す。同図には、図面の簡単のために二つのサブアレイとそれに関するデータ通路上の回路ブロック図を示す。

【0088】図 25 において I/O 線選択及びプリチャージ回路 38 は、図 1 及び図 2 で説明したように第 1 乃至第 4 メモリセルアレイ 20 TL、20 BL、20 TR、20 BR のうちいずれか一つのメモリセルアレイ中の一つのサブアレイに係る第 1 I/O バス 26 R と他のサブアレイに係る第 2 I/O バス 26 L と接続される。この I/O 線選択及びプリチャージ回路 38 は行デコーダ 18 によって選択されたワード線を有するサブアレイに関するブロック情報信号 BLS を入力し、このブロック情報信号に応答して前記サブアレイに関連した I/O バスを P I/O バス 256 に連結するための作用をする。また、上述したように読出し動作で選択された I/O バスにおいて 4 対の I/O 線の中の 2 対の I/O 線上にデータが現われるので、I/O 線選択及びプリチャージ回

路 3 8 は残りの 2 対の I/O 線とこれに対応する PIO 線対をプリチャージする。

【0089】図 2 6 は I/O 線選択及びプリチャージ回路 3 8 の具体回路図である。行デコーダ 1 8 からのブロック情報信号 BLS が論理 “ロウ” なら伝送スイッチ 2 5 8、2 5 8' はオフ状態にあり、プリチャージ回路 2 6 0 はターンオンされ I/O 線対 (I/O_0 、 \bar{I}/O_0) \sim (I/O_3 、 \bar{I}/O_3) を $VBL (=1/2 V_{cc})$ にプリチャージする。データを伝送するためにブロック情報信号 BLS が論理 “ハイ” のときに伝送 10 スイッチ 2 5 8、2 5 8' はオン状態となり、プリチャージ回路 2 6 0 はオフ状態である。データを伝送しようとする I/O 線対が第 2 I/O 線対 (I/O_1 、 \bar{I}/O_1) と (I/O_2 、 \bar{I}/O_2) であると仮定すれば、 I/O 線プリチャージ信号 $IOPR1$ は論理 “ロウ” となり、 $IOPR1$ の反転信号 $\bar{IOPR1}$ は論理 “ハイ” になる。従って、プリチャージ回路 2 6 2 及び等化回路 2 6 4 はターンオンされ、 I/O 線対 (I/O_0 、 \bar{I}/O_0)、(I/O_1 、 \bar{I}/O_1) は全部 $V_{cc} - V_t$ にプリチャージされ等化される。こ 20 で、 V_t は N チャネルトランジスタのしきい電圧である。しかし、データが伝送される I/O 線対に関するプリチャージ回路 2 6 2' と等化回路 2 6 4' はオフ状態なので、 I/O 線対上のデータは、読出し動作で伝送スイッチ 2 5 8' を介して対応する第 2 PIO 線対 (PIO_1 、 $\bar{P}IO_1$) と (PIO_2 、 $\bar{P}IO_2$) に伝送される。同様に、書込み動作では PIO 線対上のデータが対応 I/O 線対に伝送される。

【0090】図 2 5 において、 I/O センスアンプ 2 6 6 は、読出し動作でブロック情報信号 BLS に応答して 30 発生した制御信号 $\phi_{10,5}$ によって活性化され、 PIO バス 2 5 6 上のデータを増幅する作用をする。 I/O センスアンプ 2 6 6 は出力端 N イータを貯蔵するためのラッチ回路を更に有し得る公知の回路である。 I/O センスアンプ 2 6 6 の出力はデータバス DBI を通じてデータ出力マルチプレクサ 2 6 8 に連結される。データバス DBI は図 1 及び図 2 に示されたデータバス $DB0 \sim DB7$ のうちのいずれか一つである。このデータバス DBI を構成するデータ線対 (I/O_0 、 \bar{I}/O_0) \sim (I/O_3 、 \bar{I}/O_3) は I/O センスアンプ 2 6 6 を通じて PIO バス 2 5 6 を構成する PIO 線対 (PIO_0 、 $\bar{P}IO_0$) \sim (PIO_3 、 $\bar{P}IO_3$) と対応して連結される。 40

【0091】図 2 7 はデータ出力マルチプレクサ 2 6 8 の具体回路図である。同図において、データ出力マルチプレクサ 2 6 8 はデータバス DBI ($I=0 \sim 3$ 又は 4 ~ 7) を構成するデータ線対 (I/O_0 、 \bar{I}/O_0) \sim (I/O_3 、 \bar{I}/O_3) の各データ線対と 50 共通データ線対 CDL 、 $\bar{C}DL$ 間に接続したプリチャージ回路 2 6 3 a \sim 2 6 3 d、ラッチ 2 7 0、3 状バ

ッファ 2 7 2、第 1 ラッチ 2 7 4 a \sim 2 7 4 d、分離スイッチ 2 7 6、第 2 ラッチ 2 7 8 a \sim 2 7 8 d、及びデータ伝送スイッチ 2 8 0 から構成される。プリチャージ回路 2 6 3 a \sim 2 6 3 d は、上述した I/O 線対 (I/O_0 、 \bar{I}/O_0) \sim (I/O_3 、 \bar{I}/O_3) のプリチャージと同様に、読出し動作で PIO 線プリチャージ信号 $DIOPR1$ とその反転信号 $\bar{DIOPR1}$ に応答してデータが伝送される 2 対のデータ線のプリチャージを防ぎ、データが伝送されない残りのデータ線対をプリチャージさせる作用をする。ラッチ 2 7 0 はデータ線 DI_0 、 $\bar{D}I_0$ \sim DI_3 、 $\bar{D}I_3$ にそれぞれ接続され、このデータ線上のデータを貯蔵する作用をする。3 状バッファ 2 7 2 はデータ線 DI_0 、 $\bar{D}I_0$ \sim DI_3 、 $\bar{D}I_3$ にそれぞれ接続され、このデータ線対上のデータの反転データをそれぞれ出力する。但し、プリチャージされるデータ線に接続した 3 状バッファはターンオフされる。

【0092】第 1 ラッチ 2 7 4 a \sim 2 7 4 d は 3 状バッファ 2 7 2 の出力端子とそれぞれ接続され、前記データ線と 3 状バッファを通じて伝送されるデータを貯蔵する。各第 2 ラッチ 2 7 8 a \sim 2 7 8 d は分離スイッチ 2 7 6 を介して対応する第 1 ラッチ 2 7 4 a \sim 2 7 4 d と直列に接続されている。第 2 ラッチ 2 7 8 a \sim 2 7 8 d は対応データ伝送スイッチ 2 8 0 を通じて一対の共通データ線 $\bar{C}DL$ 、 CDL に接続される。データ伝送スイッチ 2 8 0 はデータ伝送信号 $RDTP0 \sim RDTP3$ に応答して順次ターンオンされ、第 1 ラッチから供給され第 2 ラッチに貯蔵されたデータが順次共通データ線 $\bar{C}DL$ 、 CDL に出力される。従って、更に詳細に後述するように列アドレス信号により順次論理 “ハイ” のパルスとなるデータ伝送信号 $RDTP0 \sim RDTP3$ に 30 応答して、第 1 及び第 2 ラッチで構成される直列レジスタ 2 7 4、2 7 8 に貯蔵されたデータが順次共通データ線 $\bar{C}DL$ と CDL 上に出力されるようになってい 30

【0093】データ線対 (DI_0 、 $\bar{D}I_0$) \sim (DI_3 、 $\bar{D}I_3$) のプリチャージ動作で 3 状バッファ 2 7 2 はオフ状態にあるので、第 1 レジスタ 2 7 4 及び第 2 2 7 8 に貯蔵されたデータの破壊はない。しかし、第 2 レジスタ 2 7 8 に貯蔵されたデータがデータ伝送スイッチ 2 8 0 を通じて伝送される前の待ち時間が長い場合、データ線対から新たなデータが伝送されると第 2 レジスタ 2 7 8 に貯蔵された以前のデータは破壊されてしまう。また、低い周波数を有するシステムクロックを使用する場合にもシステムクロックに同期して前記データ伝送信号 $RDTP0 \sim RDTP3$ が発生するので、このようなデータの破壊が生じる可能性がある。こうしたデータ衝突によるデータ破壊は、データ読出し動作で設定されたバースト長に該当する順次データ読出し 50 動作中、バーストの終了前に割り込み要求が発せられ新

たな列アドレス信号によりバースト長の次に連続するデータ読出し動作が中断されたり、若しくは待機なしに行なわれるようなバースト長読み出し動作において実質的に起る可能性がある。従って、こうしたデータの衝突を防止し、誤動作を防止するために第1ラッチと第2ラッチとの間に分離スイッチ276が接続されている。この分離スイッチを制御する制御信号 ϕ_{cl} は、待ち時間値3及び4の場合でバースト長読み出し要求時における論理“ハイ”のパルス信号である。そして、データ線バーストCDLとCDLは公知のデータ出力ラッチ282 10に接続される。

【0094】図25において、データ出力バッファ284は、データ出力マルチプレクサ268からのデータ出力線D0、バーストD0と接続する。データ出力バッファ284は読出し動作でバースト長に従って定められる連続的なデータをシステムクロック信号 ϕ_{clk} に同期して直列に入出力パッド（図示せず）に供給する。

【0095】図28はデータ出力バッファ284の具体回路図である。同図において、伝送スイッチ286、286'は所定の周波数、例えば33MHzより高い周波数のシステムクロック信号 ϕ_{clk} に同期してデータ出力線D0、バーストD0上のデータを線288、290に伝送し、この所定の周波数以下の周波数のシステムクロック信号 ϕ_{clk} とは無関係に連続的にデータ出力線D0、バーストD0上のデータを線288、290に伝送する。後述するように、制御信号 ϕ_{ref} は33MHz以下のシステムクロック（即ち、バースト待ち時間値1の場合）で論理“ハイ”にあり、33MHzより高い周波数のシステムクロックでは論理“ロウ”にある。線288、290上にデータを貯蔵するためのラッチ292a、292bが接続されている。NANDゲート294、296、298とPチャネルトランジスタ300、Nチャネルトランジスタ302で構成されるゲート回路310は線288、290と駆動トランジスタ304、306との間に連結されている。Pチャネルトランジスタ300のソースは駆動トランジスタ304をしきい電圧に損害を与えず駆動するために公知の昇圧回路からの昇圧電圧Vppに接続されている。ゲート回路310は制御信号 ϕ_{rst} に 40 応答してデータ入出力パッド（図示せず）に接続されるデータ入出力線308上のデータの出力を遮断するものである。この制御信号 ϕ_{rst} はバースト読出しの終了時又は後述するデータ出力カマスキング動作の発生時に論理“ロウ”になる。

【0096】図25において、データ入力バッファ312がデータ入出力パッドと接続したデータ入出力線308とデータ線DIとの間に接続される。データ入力バッファ312はこの線308上の入力データをCMOSレベルに変換し、システムクロック信号 ϕ_{clk} に同期された内部入力データを発生するものである。データ入力バッファ312は書込み動作で論理“ハイ”である書込み 50

制御信号 ϕ_{enb} によってエネーブルされ、外部入力データをCMOSレベルにシフトする前記入力バッファと、入力バッファからのレベルシフトされた入力データを受け取り、システムクロック信号 ϕ_{clk} に同期した内部入力データを発生する先に述べた同期回路とから構成可能である。従って、書込み動作で内部システムクロック信号 ϕ_{clk} が論理“ハイ”になる度にデータ入力バッファ312は、連続して入力される直列データを連続的にサンプリングし、データ線DI上に直列に出力するバッファである。

【0097】データ入力デマルチプレクサ314は、データ入力バッファ312の出力線DI上の直列入力データをシステムクロックに同期して順次発生する書込みデータ伝送信号をもってサンプリングし、所定のビットの並列データ（本実施例では2ビットの並列データ）に群化し、この群化された並列データを対応データ線対に順次供給するものである。

【0098】図29はデータ入力デマルチプレクサ314の具体回路図である。同図において、データ入力デマルチプレクサ314は、データ線DIに接続され、書込みデータ伝送信号WDTP0～WDTP3に 20 応答してデータ線DI上の直列データを並列データに変更するためサンプリングする選択スイッチ316a～316dを有する。ラッチ320a～320dはそれぞれ前記サンプリングされたデータを貯蔵するために対応する選択スイッチ361a～361dに接続される。このラッチ320a～320dの出力端は、書込み動作でエネーブルされる時に信号を通過させNANDゲート322a～322dとバッファ324a～324dを介してデータ線DIO₀、バーストDIO₀～DIO₃、バーストDIO₃にそれぞれ接続される。スイッチとして作用するこれらNANDゲート322a～322dをゲーティングする書込み制御信号 ϕ_{enb} は書込み動作で論理“ハイ”となる信号である。バッファ324a～324dはそれぞれPチャネル及びNチャネルトランジスタ326、328で構成された3状インバータである。

【0099】選択スイッチ316a～316dとラッチ320a～320dとの間にそれぞれ接続されたPチャネルトランジスタ318a～318dは、制御信号WCA1、バーストWCA1に 40 応答して、第1データ線対（DIO₀、バーストDIO₀）及び（DIO₁、バーストDIO₁）と、第2データ線対（DIO₂、バーストDIO₂）及び（DIO₃、バーストDIO₃）上に2ビットの並列データを代る代る伝送させ、同時に第1及び第2データ線対のうち一方のデータ線対がデータを伝送している時は他方のデータ線対に接続されたバッファをターンオフさせる作用をする。即ち、書込み動作で制御信号WCA1が論理“ハイ”にある時にトランジスタ318cと318dはオフ状態にある。従って、制御信号WDTP2とWDTP3に 50 応答してラッチ320cと320d内に貯蔵さ

れるデータは、スイッチ322cと322dとバッファ324cと324dを通じて第2データ線対DIO₀、バーDIO₀とDIO₁、バーDIO₁に伝送される。

【0100】このとき、バーWCA1は論理“ロウ”なのでトランジスタ318aと318bはオン状態で、これによってバッファ324aと324bはオフ状態となる。従って、第1データ線対(DIO₀、バーDIO₀)と(DIO₁、バーDIO₁)は図27に示したブリチャージ回路263a、263bにより電源供給電圧Vccにブリチャージされる。その後、WCA1が論理“ロウ”になった時にトランジスタ318cと318dはオン状態となり、それから3状バッファ324cと324dはオフ状態となる。従って、第2データ線対も同様にブリチャージされ、第1データ線対は2ビットの並列データを送出する。

【0101】次に図25を参照すれば、両方向のデータバスDBIを通じてデータ入力デマルチプレクサ314から送出されたデータはPIOラインドライバ330を通してPIO線対256に伝送される。図30はPIOラインドライバ330の具体回路図である。同図において、PIOラインドライバ330は、バンク選択信号DTCPiとブロック選択情報信号BLSに応答してデータ線対(DIO₀、バーDIO₀)～(DIO₃、バーDIO₃)上のデータを通過させるためのスイッチ332と、このスイッチ332とPIO線対(PIO₀、バーPIO₀)～(PIO₃、バーPIO₃)との間にそれぞれ接続されスイッチ332を通じて入力されるデータを増幅して対応PIO線対に供給するためのバッファ334と、前記各PIO線対を構成する2本のPIO線間に接続されこのPIO線をブリチャージするためのブリチャージ及び等化回路336とから構成される。バッファ334とブリチャージ及び等化回路336は、図29のバッファ324a～324dと図26のブリチャージ及び等化回路260、262、262'、264、264'と同一であり、書込み動作におけるそれらの動作も同様である。PIOラインドライバ330は、読出し動作で論理“ロウ”の信号DTCPiをもって両方向のデータバスDBIとPIO線対256との間を分離する。

【0102】しかし、書込み動作では、このデータバスDBI上のデータがPIO線ドライバ330を通じて伝送されたPIO線対256上のデータは、I/Oブリチャージ及び選択回路38により選択された対応I/O線対に伝送される。このデータ伝送は2対ごとに交互に行われるので、第1PIO線対(PIO₀、バーPIO₀)と(PIO₁、バーPIO₁)と対応して接続される左側I/Oバス26Rのうち第1I/O線対(I/O₀、バーI/O₀)と(I/O₁、バーI/O₁)がデータ伝送中であれば、第2PIO線対(PIO₂、バーPIO₂)と(PIO₃、バーPIO₃)及び左側I

／Oバス26Rのうち第2I/O線対(I/O₂、バーI/O₂)と(I/O₃、バーI/O₃)はブリチャージされている。

【0103】列制御回路

列制御回路はデータ通路に関連する回路を制御する制御信号を発生するための回路である。図5は本発明による列制御回路を示す概略的ブロック図である。同図において、バーCASバッファ338は外部列アドレスストロープ信号バーCASと内部システムクロック信号φ_{clk}を入力し、制御パルス信号φ_c、φ_{ca}、BITSET、及びφ_{cc}を発生する。バーWEバッファ340は外部書込みエネーブル信号バーWEと内部システムクロック信号φ_{clk}及びバーCASバッファ338からのパルス信号φ_c、φ_{ca}及びその他の多くの制御信号を入力し、書込み動作において書込み制御信号φ_{rk}、φ_{rrbc}、及びφ_{rrc}を発生する。DQMバッファ342は外部信号DQMと内部システムクロック信号φ_{clk}を入力し、データ入出力マスキング信号バーφ₀₀を発生する。このデータ入出力マスキング信号バーφ₀₀によりデータの入出力が遮断される。列アドレスバッファ344はシステムクロック信号φ_{clk}に同期して外部列アドレスA₀～A₃を入力し、バーCASバッファ338からのパルス信号φ_{ca}に응答して上記列アドレスをラッチし、列アドレス信号ECA0～ECA9を発生する。

【0104】列アドレス計数器346は、予め定められた数のステージ(又はビット;本発明の実施例では9ビット)で構成される計数器である。この計数器は列アドレスモード信号φ_{intel}によりシーケンシャル(又はバイナリ)アドレスモードあるいはインタリーブアドレスモードで計数動作を行なうことができる。この計数器のステージは、列アドレスバッファ344からの列アドレス信号をプリセット信号BITSETに응答してそれぞれラッチし、動作モード信号SZバーnに係る下位ステージにおいてはこれら内にラッチされた列アドレス信号から始まるクロックCNTCLK9の上記計数動作を行ない、選択されたアドレスモードによる連続する列アドレス信号を発生する。しかし、残りの他のステージにおいてはこれら内にラッチされた初期列アドレス信号を発生する。列アドレスリセット信号φ_{car}はバースト長の終了、即ち有効なデータ出力の終了後に上記計数器をリセットする。

【0105】バースト長計数器350は、バーCASバッファ338からのプリセット信号BITSETによってリセットされた後、内部システムクロック信号φ_{clk}のパルスを計数する通常の9ステージ(又は9ビット)の2進計数器である。この計数器350は列アドレスリセット信号φ_{car}によってもリセットされるようになっている。プリセット信号BITSETはバーCASの活性化によって発生されたパルスなので、計数器350はバーCASの活性化後に内部システムクロック信号φ

10

20

30

40

50

clk のパルス数を再び計数するものである。しかし、列アドレスリセット信号φ_{cl_r} はバースト長計数器350の計数動作を停止するための信号であるので、バーCAS割り込み動作で有効なデータの出力中にバーCASが活性化されるとこの計数器350は計数動作を再度始めるようになる。

【0106】バースト長検出回路352は、バースト長計数器350からの計数値と、図4で説明した動作モード設定回路58からのバースト長の情報を持つ動作モード信号SZバー_nを入力し、バースト動作の終了を知らせる信号COSI及びバースト長を示す信号COSRを発生する。列アドレスリセット信号発生回路354はバースト終了信号COSRに応答して列アドレス計数器346をリセットするための列アドレスリセット信号φ_{cl_r}を発生するものである。データ伝送制御計数器348は、列アドレス信号CA0、CA1、FCA0、FCA1を入力し、内部システムクロック信号φ_{cl_k}に同期した列アドレス信号RCA0、RCA1を発生するための計数器である。上述したように、クロックCNTCLK9は33MHz以下のシステムクロックCLKが使用される時、ブリチャージ時間を短縮させるため人為的に発生されるクロックである。この場合、列アドレス信号CA0とCA1は内部システムクロック信号φ_{cl_k}に同期した信号ではない。従って、データ伝送制御計数器348は33MHz以下のシステムクロックにおけるブリチャージ時間の短縮を考慮して設ける。もし不要であれば、列アドレス計数器346はクロックCNTCLK9の代りに内部システムクロック信号φ_{cl_k}を入力とし、読出し及び書込みデータ伝送クロック発生回路356、358はデータ伝送制御計数器348の出力、即ちRCA0とRCA1の代りに列アドレス信号CA0とCA1を入力とするようにしてもよい。

【0107】読出しデータ伝送クロック発生回路356は内部システムクロック信号φ_{cl_k}に同期した列アドレス信号RCA0とRCA1を入力とし、読出し動作においてデータ出力マルチプレクサ268から直列データを出力するための読出しデータ伝送パルスRDT_{Pm}を発生するものである。書込みデータ伝送クロック発生回路358は、上記信号RCA0とRCA1を入力とし、書込み動作においてデータ入力マルチプレクサ314から時分割された並列データを出力するための書込みデータ伝送パルスWDT_{Pm}を発生するものである。

【0108】1. バーCAS、バーWE、及びDQMバッファ

図31はバーCASバッファ338の詳細回路図であり、図35～図37は66MHzのシステムクロックと4のバースト長及び2のバーCAS待ち時間を使用している書込み動作のタイミング図である（なお、図35～図37は図面の記載上3つに分かれているが、一つのタイミング図を示す）。

【0109】図31において、入力バッファ70eは既にバーRASバッファについて述べたようにセルフフリフレッシュとクロックマスキング動作でディスエーブルされ、書込み又は読出し動作で入力信号をCMOSレベルの内部信号に変換する回路である。同期回路108は入力バッファ70eからのCMOSレベルバーCAS信号を内部システムクロック信号φ_{cl_k}に同期させるため、この入力バッファ70eに接続される。パルス発生回路360は同期回路108と接続され、制御パルス信号φ_{cl_r}、φ_{cl_f}、及びプリセット信号BITSETを発生する。図35～図37を参照すれば、時間_{t₁}で論理“ロウ”のバーCASパルスにより制御パルス信号φ_{cl_r}、φ_{cl_f}、及びプリセット信号BITSETが発せられる。制御パルス信号φ_{cl_r}の論理“ハイ”のパルス幅はシステムクロックCLKのおよそ1サイクルであり、制御パルス信号φ_{cl_f}のパルス幅はクロックCLKのほぼ半分サイクルで、制御パルス信号φ_{cl_r}及びプリセット信号BITSETのパルス幅は約5～6nsecである。

【0110】図32はバーWEバッファ340の詳細回路図である。同図において、入力バッファ70fは外部書込みエネーブル信号バーWEを内部CMOSレベルの信号に変換する回路である。同期回路108は、入力バッファ70fからのレベル変換信号を内部システムクロック信号φ_{cl_k}に同期させてラッチ362に貯蔵する。そして、ラッチ366の入力端はバーCASの活性化によってターンオンされる伝送スイッチ364を通じてラッチ362の出力端と接続され、書込み動作において論理“ハイ”を貯蔵する。ゲートで構成されるゲート回路368はこのラッチ366の出力端と接続されている。シフトレジスタ370はゲート回路368と接続され、書込み命令後にクロックCLKを1サイクル遅延させるためのものである。パルス発生回路378はブリチャージ時において論理“ハイ”の短いパルス信号φ_{cl_r}を発生し、シフトレジスタ370及びラッチ366をリセットさせるものである。

【0111】図35～図37を参照すれば、時間_{t₁}で書込み命令が発せられた後制御パルス信号φ_{cl_r}が論理“ハイ”のときラッチ366は論理“ハイ”を貯蔵する。また、信号φ_{rc01}とφ_{rc02}（バーRASチェーン終了通知信号φ_{rc01}が第1又は第2バンクに適用された信号である）のうち少なくとも一つとバーCASバッファからの制御パルス信号φ_{cl_r}は論理“ハイ”にあるので、NANDゲート372から論理“ロウ”が出力され書込み制御信号φ_{cl_{wc}}は論理“ハイ”になる。NANDゲート372からの論理“ロウ”の出力はシフトレジスタ370にも入力され、このレジスタ370は内部システムクロック信号φ_{cl_k}の1サイクル遅延後に論理“ロウ”を出力する。すると、NANDゲート374は論理“ハイ”を出力し、書込み制御信号φ_{cl_w}は論理“ハイ”になる。書込み制御信号φ_{cl_w}をCLKの1サイクル遅延後に

発生させるようにするのは、書き込み命令後の次のCLKのサイクルで外部入力データを受け入れるためである。従って、書き込み命令サイクルで外部入力データを受け入れるのであれば、シフトレジスタ370を省略してもよいことは、この分野の通常の知識を有する者なら分ることである。

【0112】図33はDQMバッファ342の詳細回路図で、図34はDQMバッファ342の動作タイミングを示す図である。図33において、入力バッファ70gは外部信号DQMをCMOSレベルに変換するためのバッファである。3ステージのシフトレジスタ382は同期遅延回路で、入力バッファ70gに接続され、内部システムクロック信号 ϕ_{clk} に同期して、データ出力マスキング信号 ϕ_{dm} を発生する。図34を参照すると、時間 t_1 でデータ出力マスキング命令DQMが発せられている。時間 t_1 でラッチ384は論理“ロウ”を受け入れて貯蔵し論理“ハイ”を出力している。その後、システムクロック信号 ϕ_{clk} 387が論理“ハイ”のときラッチ385は伝送スイッチを通じて論理“ハイ”を受け入れて貯蔵し、論理“ロウ”をクロック信号 ϕ_{dm} として出力する。それから、この内部システムクロック信号 ϕ_{clk} 387が論理“ロウ”の場合にラッチ386は論理“ハイ”を受け入れて貯蔵し、論理“ハイ”を出力する。その後、クロック信号 ϕ_{clk} 388が論理“ハイ”のときはデータ出力マスキング信号 ϕ_{dm} は論理“ロウ”になる。同様にして、データ出力マスキング信号 ϕ_{dm} が論理“ハイ”になるのはクロック信号 ϕ_{clk} 389が論理“ハイ”になるときである。従って、データ出力バッファからのデータはデータ出力マスキング命令後、2番目のシステムクロックCLKの立上りエッジに応答して論理“ロウ”のデータ出力マスキング信号 ϕ_{dm} により出力が遮断される。データ出力を遮断する時間調節は、シフトレジスタ382を構成するシフトステージの数を調整することで可能である。

【0113】2. 列アドレス発生回路

列アドレス発生回路は列アドレスバッファ344と列アドレス計数器346で構成される。図34は列アドレスバッファの詳細回路図である。本発明の実施例においては外部の列アドレス $A_0 \sim A_9$ をそれぞれ入力する10個の列アドレスバッファを使用している。同図において、入力バッファ70hは外部からの列アドレス信号 A_i をCMOSレベルのアドレス信号に変換するバッファである。入力バッファ70hは列アドレスバッファ344をエネーブルするための列アドレスバッファエネーブル信号 ϕ_{ale} によりエネーブルされ、この入力バッファ70hの出力は伝送スイッチ390を通じてラッチ392に連結される。制御パルス信号 ϕ_{ca} が論理“ハイ”になる前にラッチ392は列アドレス信号ECAIを貯蔵し、列アドレス信号FCAIをインバータを介して発生

する。列アドレス信号FCAIのみがデータ伝送制御計数器348に入力される。バーCASの活性化により制御パルス信号 ϕ_{ca} が論理“ハイ”になる時に伝送スイッチ394はターンオンされ、列アドレス信号ECAIの反転信号をラッチ398に貯蔵する。このラッチ398の出力端子は列アドレスリセット信号 ϕ_{ale} によってエネーブルされるNANDゲート400、402で構成されるスイッチ手段に接続される。エネーブルされたNANDゲート400、402はそれぞれ列アドレス信号CAIとバーCAIを提供する。この列アドレス信号CAIは列アドレス計数器346に入力され、この計数器346に初期値として設定される。列アドレス計数器346は設定された列アドレスから始まる計数動作により連続する列アドレス信号PCAIを発生する。これら信号PCAIは伝送スイッチ396、ラッチ398、及びスイッチ400、402を通じて列アドレス信号CAIとバーCAIとして出力される。

【0114】従って、伝送スイッチ394、396、ラッチ398、及びスイッチ400、402で構成される手段319は、バーCASの活性化によって発生したパルス ϕ_{ca} により前記先頭列アドレスを提供し、この制御パルス信号 ϕ_{ca} が論理“ロウ”になると先頭列アドレスから計数される連続する列アドレス信号を提供する作用をする。従って、バーCASの活性化後に外部入力列アドレスAIと内部発生列アドレスが直列に構成された連続入力アドレスの発生が高速に行なわれる。なお、本発明の実施例において列アドレス信号CA0及びCA9に係る列アドレスバッファ344は信号PCAO及びPCA9は入力しない。信号CA9はバーCAS割り込み動作を行なう場合、バンク選択信号として使用されるので列デコーダとは無関係である。また信号CA0とCA1は、データ出力マルチプレクサ268とデータ入力デマルチプレクサ314でそれぞれ使用される読出しデータ伝送クロックRDTpMと書き込みデータ伝送クロックWDTpMを発生するためのものである。信号CA1～CA8は列デコーディング用として使用される。

【0115】図39は列アドレス計数器346の概略的ブロック図で、図40及び図41は列アドレス計数器346内の各ステージを示す詳細回路図である。図39～図41において、列アドレス計数器346は9つのステージST1～ST9で構成される9ビットの計数器である。この計数器346は下位ステージST1～ST3とANDゲート404で構成される第1計数部と、残りの上位ステージST4～ST9とANDゲート406で構成される第2計数部とから構成される。第1計数部はバイナリーモードとインタリーブモードのうちいずれか一つのモードで計数動作を遂行し、第2計数部はバイナリーモードで計数動作を遂行することができる。第1計数部、即ち3ビット計数器で列アドレッシングモード信号 ϕ_{isr} によりバイナリーあるいはインタリーブモードの

うち一つのモードが選択される。最下位ステージST1においてキャリ入力信号CARIの入力端子とバースト長入力端子SZは電源供給電圧Vcc端に接続される。2番目のステージST2のキャリ入力信号CARIはステージST1のキャリ値を入力し、2番目と3番目のステージST2とST3の各キャリ出力COROは前段のキャリ値と対応ANDゲート404で論理積され、このANDゲートの出力は後段のキャリ入力となる。第1計数部内の最上位ビットST3に対応するANDゲートの出力は第2計数部の最下位ステージST4のキャリ入力信号CARIとなる。第2計数部内の各ステージのキャリ入力信号CARIは前段のANDゲートの出力である。また、第2計数部内の各ANDゲートは前段のAN

Dゲートの出力と対応ステージの出力を入力とする。

【0116】本発明の列アドレス計数器346は、メモリシステム設計者の設計融通性を向上するため、アドレスシーケンスをバイナリーモード又はインタリーブモードのうちいずれか一つのモードで選択的に遂行できるようになっている。バイナリーアドレッシングモードは先頭列アドレスから1ずつ増加しつつ連続的なアドレスを発生するモードであり、インタリーブアドレッシングモードは特定の方式で連続的なアドレスを発生するモードである。下記の表3は8のバースト長の場合、10進数で表わされる出力アドレスシーケンスを示している。

【0117】

【表3】

出力アドレスシーケンス (バースト長 n=8)	
バイナリーモード	インタリーブモード
0、1、2、3、4、5、6、7	0、1、2、3、4、5、6、7
1、2、3、4、5、6、7、0	1、0、3、2、5、4、7、6
2、3、4、5、6、7、0、1	2、3、0、1、6、7、4、5
3、4、5、6、7、0、1、2	3、2、1、0、7、6、5、4
4、5、6、7、0、1、2、3	4、5、6、7、0、1、2、3
5、6、7、0、1、2、3、4	5、4、7、6、1、0、3、2
6、7、0、1、2、3、4、5	6、7、4、5、2、3、0、1
7、0、1、2、3、4、5、6	7、6、5、4、3、2、1、0

【0118】図40は第1計数部の各ステージの詳細回路図である。同図において、第1計数部の各ステージはキャリを発生するためのキャリ部408とビット出力を提供するためのビット部410を有している。キャリ部408は2個のラッチ412、416と、このラッチ412、416間に接続される伝送スイッチ414と、ラッチ416の出力端子とラッチ412の入力端子との間に直列に接続されたインバータ418と、伝送スイッチ411とから構成される。ビット部410も同様の方式により、ラッチ412'、416'と、伝送スイッチ411'、414'と、インバータ418'とから構成される。伝送スイッチ411、411'、414、414'は線419及びインバータ413を通して線415に連結されている。ラッチ412、412'の入力端子は線422、424にそれぞれ接続される。初期設定回路420は線422、424間に接続され、パワーオン時に初期条件、即ち論理“ロウ”をラッチ412、412'に提供する作用をする。

【0119】線419はNORゲート426の出力端子に接続され、NORゲート426はクロックCNTCLK9とNANDゲート428の出力及びプリセット信号BITSETをそれぞれ入力としている。NANDゲート428は、動作モード信号SZバーnと、列アドレス

リセット信号発生回路354からの列アドレスエネーブル信号 ϕ_{CARC} 、及び前段のキャリ出力信号CAROとなるキャリ入力信号CARIをそれぞれ入力とする。伝送スイッチ430、432はプリセット信号BITSETに応答してターンオンされ、初期キャリ値と初期列アドレス値（又は初期ビット値）を線422、424上にそれぞれ伝送する。列アドレッシングモード信号 ϕ_{INTEL} は、上述したようにインタリーブモードで論理“ハイ”、バイナリーモードでは論理“ロウ”である。従って、インタリーブモードでターンオンされた伝送スイッチ430、432は論理“ロウ”と初期ビット値（又は初期列アドレス信号）CAIをそれぞれ伝送し、バイナリーモードではこれらスイッチは初期ビット値CAIを伝送する。

【0120】図42は図40に示す回路の動作タイミング図である。図40と図42の両図を参照すれば、NANDゲート428の入力信号である動作モード信号SZバーn、列アドレスエネーブル信号 ϕ_{CARC} 、及びキャリ入力信号CARIのうちいずれか一つが論理“ロウ”のとき、NORゲート426はクロックCNTCLK9の出力を遮断し、線419を論理“ロウ”に維持する。従って、伝送スイッチ414、414'はオン状態になり、伝送スイッチ411、411'はオフ状態にある。

このとき、論理“ハイ”のプリセット信号BITSETにより伝送スイッチ430、432がいったんターンオンされると、インタリーブモードでキャリ出力信号CAROは論理“ロウ”の初期キャリ値を出力し、ビット出力信号PCAIは初期ビット値CAIとなる。そして、この場合バイナリーモードでキャリ出力信号CAROとビット出力信号PCAIは全部初期ビット値CAIを提供する。その後、論理“ロウ”のプロセット信号BITSETは伝送スイッチ430、432をターンオフさせ、既にプリセットされた初期キャリ値と初期ビット値を維持させる。従って、プリセット信号BITSETは列アドレッシングモード信号 ϕ_{INTEL} に従って初期キャリ値と初期ビット値をキャリ部408とビット部410にそれぞれプリセットするための信号である。

【0121】一方、プリセット信号BITSETによる初期値の設定後、上記動作モード信号SZバー n 、列アドレスエネーブル信号 ϕ_{CARC} 、及びキャリ入力信号CARIが共に論理“ハイ”になるとNORゲート426はクロックCNTCLK9を出力する。すると、キャリ部408とビット部410はこのクロックCNTCLK9の毎サイクルごとにプリセットされた初期値から始まる順次の2進値をそれぞれ出力する。こうした順次動作中、論理“ロウ”のキャリ入力信号CARIがNANDゲート428に入力されると線419は論理“ロウ”となり、キャリ部408とビット部410の動作は一時中止される。即ち、伝送スイッチ411、411'がターンオフされるので、ラッチ412、412'に貯蔵されたキャリ出力信号CAROとPCAIは2進値の反転値としてそれぞれ一時停止される。信号CARIが論理“ハイ”になると、この一時停止された値から始まる順次動作が再開される。

【0122】図41は図39に示す第2計数部を構成する各ステージの詳細回路図である。このステージの構成は、図40に示されたステージからキャリ部408とモード制御回路434を省略した構成と同一である。動作もビット部410の動作と同一である。従って、このステージST4～ST9のそれぞれに対する詳細な説明は省略する。

【0123】図39において、動作モードプログラムによりバースト長 n が設定されるとバースト長 n 以下のバースト長に関連したバースト長信号は全部論理“ハイ”となるので、論理“ハイ”のバースト長信号動作モード信号SZバー n を入力するステージのみがエネーブルされる。例えば、バースト長が512(full page)であれば列アドレス計数器346は9ビット計数器として動作する。バースト長 n が32にプログラムされているとすると、下位5個のステージST1～ST5が順次に計数動作を行ない、上位ステージST6～ST9の出力信号PCA5～PCA8はそれぞれ上述したように、初期入力ビット値、即ち入力された列アドレス信号CA5～C

A8を維持する。従って、3個の下位ステージST1～ST3で構成された第1計数部は列アドレッシングモード信号 ϕ_{INTEL} に従って順次のバイナリー又はインタリーブアドレス信号PCA0～PCA2を出力し、ステージST4とST5で構成される計数器は第1計数部からのキャリを入力しつつ、入力される列アドレスCA3とCA4から始まる順次のバイナリーアドレス信号PCA3とPCA4を出力する。

【0124】3. 列デコーダ

上述したように本発明の実施例は、列アドレスバッファ344からの列アドレス信号CA1～CA8が列選択のための列デコーダに入力される。図43は本発明による列デコーダの概略的ブロック図である。同図において、プリデコーダ436～442は列アドレス信号CA1、CA2と、CA3、CA4と、CA5、CA6及び、CA7、CA8をそれぞれ入力し、行アドレス信号RA11又は列アドレス信号CA9を入力する。行アドレス信号RA11は、第1バンクの読出し又は書込み動作とプリチャージ動作の後、第2バンクの読出し又は書込み動作及びプリチャージ動作を行なうようなバンク間の独立動作を行なう場合や、あるいは第1バンクと第2バンクがインタリーブ動作を行なう場合にバンク選択信号として使用される。RA11が論理“ロウ”なら第1バンクを選択し、RA11が論理“ハイ”なら第2バンクを選択する。一方、CA9は上述したバーCAS割り込み動作をする場合のバンク選択信号である。CA9が論理“ロウ”なら第1バンクを選択し、CA9が論理“ハイ”なら第2バンクを選択する。

【0125】第1プリデコーダ436は列アドレス信号CA1とCA2をデコーディングしてプリデコーディング信号DCAバー1バー2、DCA1バー2、DCAバー12、DCA12（以下、「DCAバー1バー2～DCA12」と略記する）を発生し、これら信号より速い信号である信号DCA2とその反転信号DCAバー2を発生する。このプリデコーディング信号の中で相互に隣接する信号は一端の所定部分をオーバーラップしている。第1プリデコーダ436の出力信号は主デコーダ444に供給される。NORゲート446はプリデコーダ438からのプリデコーディング信号「DCAバー3バー4～DCA34」のうちいずれか一つと、プリデコーダ440からの信号「DCAバー5バー6～DCA56」のうちいずれか一つと、プリデコーダ442からの信号「DCAバー7バー8～DCA78」のいずれか一つを取る組合信号をそれぞれ入力し、対応する主デコーダにそれぞれ出力し、主デコーダ444は列選択信号CSLO～CSL255を発生する。

【0126】図44は第1プリデコーダ436の詳細回路図である。同図において、NANDゲート448はバンク選択信号RA11又はCA9によってエネーブルされ、列アドレス信号CA1、CA2とこれらの反転信号

10

20

30

40

50

バーCA1、バーCA2をデコーディングする。バーCASの活性化後に論理“ロウ”の短い制御パルス信号 ϕ_{cr} はNANDゲート451、454をリセットし、出力信号「DCAバー1バー2～DCA12」を論理“ロウ”にさせる。その後、制御パルス信号 ϕ_{rei} が論理“ハイ”のとき（このとき、列エネーブル信号 ϕ_{rei} は論理“ハイ”である）NANDゲート451、454はエネーブルされる。列アドレス信号CA1とCA2が論理“ロウ”と仮定すれば、NANDゲート448aは論理“ロウ”を出力し、NANDゲート456aは論理“ハイ”を出力する。従って、DCAバー1バー2は論理“ロウ”から論理“ハイ”になる。その後、CA1が論理“ハイ”になり、CA2が論理“ロウ”を維持すると、同様に、DCA1バー2が論理“ハイ”になる。しかし、NANDゲート448aは論理“ハイ”を出力し、遅延回路450aと452aとNANDゲート451a、454a、456a及びインバータを経た時間遅延後、DCAバー1バー2は論理“ロウ”になる。従って、DCAバー1バー2が論理“ハイ”になった後、このDCAバー1バー2は前記遅延要素によって決定される時間遅延後、論理“ロウ”になる。結局、オーバーラップ部分が連続するブリデコーディング信号間の端部で発生する。こうしたオーバーラップ部分は書き込み動作中に誤りのない書き込み時間を保障する働きをする。

【0127】図45は第2ブリデコード438～442のうちいずれか一つの詳細回路図である。各第2ブリデコードは選択されたブリデコーディング信号が論理“ロウ”になるロウエネーブル回路である。図46は主デコード444の中で一番目の回路を示す図である。同図において、ブリデコーディング信号「DCAバー1バー2～DCA12」は、それぞれインバータ458a～458dの入力端子に接続される。このインバータ458a～458dはインバータ458a、458bで構成される第1インバータグループとインバータ458c、458dで構成される第2インバータグループに分けられる。第1インバータグループを構成するインバータ458a、458bの一端は共に第1トランジスタ462のドレインに接続され、第2インバータグループを構成するインバータ458c、458dの一端は共に第2トランジスタ464のドレインに接続される。このインバータ458a～458dの他段は電源供給電圧Vcc端に接続される。このインバータの出力端子はラッチ460a～460dにそれぞれ接続されている。

【0128】また、第1及び第2トランジスタ462、464のソースは共に第3トランジスタ（ブルダウントランジスタ）466のドレインに接続され、このトランジスタ466のソースは基準電圧Vss端、例えば接地電圧端と接続される。このトランジスタ466のゲートは第2ブリデコード438～442からのブリデコーディング信号、例えばDCAバー3バー4、DCAバー

5、バー6、DCAバー7バー8を入力とするNORゲート446の出力端と接続される。また第1及び第2トランジスタ462、464のゲートはそれぞれDCAバー2とDCA2を入力としている。これら入力信号はブリデコーディング信号DCA2、DCAバー2、ブリデコーディング信号DCAバー3バー4、DCAバー5、バー6、DCAバー7バー8、オーバーラップされたブリデコーディング信号DCAバー1バー2～DCA12の順序で発生する。従って、トランジスタ462又は464とブルダウントランジスタ466がターンオンされた後にインバータ458a～458dが活性化する。列アドレス信号CA1～CA8が全部論理“ロウ”と仮定するとトランジスタ462がターンオンされ、その後トランジスタ466がターンオンされる。

【0129】すると、論理“ハイ”の信号DCAバー1バー2によりインバータ458aがターンオンされ、列選択信号CSL0は論理“ハイ”になる。それから列アドレス信号CA1が論理“ハイ”に変更されると、論理“ハイ”の信号DCA1バー2により列選択信号CSL1が論理“ハイ”になる。しかし、論理“ロウ”の信号DCAバー1バー2により予め予定された時間遅延後、列選択信号CSL0は論理“ロウ”になる。このような繰り返しにより、順次的に変更される列アドレス信号CA1～CA8に応じて列選択信号CSL0～CSL255が一端の予め予定された部分でオーバーラップされながら順次発生する。図36のタイミング図には、書き込み動作で初期の外部列アドレスA₀とA₁～A₇がそれぞれ論理“ハイ”と論理“ロウ”である場合、列アドレス信号CA0～CA8と信号DCAバー1バー2、DCA1バー2、及び列選択信号CSL0、CSL1のタイミングが示されている。この図から、オーバーラップ部分により列選択時間が十分に保障されることが分る。

【0130】図47～図49（これらは図面の記載上3つに分かれているが、一つのタイミング図を示す）は、本発明による100MHzのシステム周波数、4のバースト長、3のバーCAS待ち時間での読出し動作を示すタイミング図である。初期列アドレスA₀が論理“ハイ”、A₁～A₇が論理“ハイ”のとき、これら信号DCAバー1バー2、DCA1バー2、CSL0、CSL1のオーバーラップ部分により十分な読出し時間が保障されることが分る。

【0131】4. データバス制御回路

バースト長の終了後、即ち有効なデータの出力又は入力後に不必要な内部動作を停止させることは電力消費を防止するうえで重要である。図5に示されたバースト長計数器350、バースト長検出回路352及び列アドレスリセット信号発生回路354で構成される制御回路により無駄な電力消費を抑えることができる。

【0132】バースト長計数器350は列アドレスリセット信号 ϕ_{ca} が論理“ロウ”のとき、計数動作が停止

される。また、論理“ハイ”の短いパルス信号であるプリセット信号 $BITSET$ によりリセットされ、計数動作を再び始める。従って、このプリセット信号 $BITSET$ と ϕ_{CAK} の反転信号を入力する OR ゲートの出力がリセット端子に接続し、システムクロック信号 ϕ_{CLK} がクロック端子に接続した通常の 9 ビットバイナリー計数器でバースト長計数器 350 は構成される。この計数器 350 からの計数值 $CNTI$ ($I=0\sim 8$) はバースト長検出回路 352 に入力される。

【0133】図 50 と図 51 はバースト長検出回路 352 の詳細回路図である。バースト長検出回路 352 は上記計数值 $CNTI$ と動作モード設定回路 58 によってプログラムされた動作モード信号 SZ バーンを入力し、バーCAS の活性化後にバースト長の終了を知らせるバースト長終了信号 $COSI$ を発生する論理回路を有する。例えば、図 47 ～図 49 を参照すればバーCAS の活性化後にプリセット信号 $BITSET$ が論理“ハイ”から論理“ロウ”になると、バースト長計数器 350 は内部システムクロック信号 ϕ_{CLK} のクロックを計数し、計数信号 $CNT0$ 、 $CNT1$ を発生する。バースト長が 4 である場合に $SZ4=1$ (論理“ハイ”) なので、 $CNT0$ と $CNT1$ が論理“ハイ”のときバースト長検出回路 352 は内部システムクロック信号 ϕ_{CLK} のサイクルのパルス幅を有するバースト終了信号 $COSI$ を発生する。

【0134】一方、バーCAS の活性化後に論理“ハイ”のパルス ϕ_c は、図 43 に示す NOR ゲート 468、470 で構成されたフリップフロップの出力、すなわち NOR ゲート 470 の出力を論理“ロウ”にラッチする。従って、バースト長信号 $COSR$ は図 48 に示したように論理“ロウ”になる。その後、バースト終了信号 $COSI$ が論理“ハイ”になると内部システムクロック信号 ϕ_{CLK} により、バースト終了信号 $COSI$ はシフトレジスタ 472 による時間遅延後に $NAND$ ゲート 474 の二つの入力として論理“ハイ”になり、よって、 NOR ゲート 468 の出力は論理“ロウ”になる。このとき、制御パルス信号 ϕ_c は論理“ロウ”なので NOR ゲート 470 の出力は論理“ハイ”になり、バースト長信号 $COSR$ は論理“ハイ”になる。

【0135】図 48 から分るように、論理“ロウ”のバースト長信号 $COSR$ はバーCAS の活性化後にシステムクロック CLK の 4 つのパルス、即ちバースト長を示す信号である。プログラムされたバーCAS 待ち時間値を充足する時間遅延をする遅延回路 476 はバースト長信号 $COSR$ を入力し、遅延バースト長信号 $COSDQ$ を出力する。遅延バースト長信号 $COSDQ$ はバーCAS 待ち時間を考慮して遅延されたバースト長を示す信号である。図 48 を参照すれば、バーCAS 待ち時間が 3 なので ($CL3$ は論理“ハイ”である) 伝送スイッチ 478 がターンオンされ、遅延バースト長信号 $COSDQ$

はバースト長信号 $COSR$ が内部システムクロック信号 ϕ_{CLK} の 2 クロックサイクル遅延された信号となる。論理“ハイ”の遅延バースト長信号 $COSDQ$ はデータ出力バッファ 284 をディスエーブルする。

【0136】図 52 には列アドレスリセット信号発生回路 354 の詳細回路図を示す。図 47 ～図 49 及び図 35 ～図 37 のタイミング図を参照すれば、バーCAS の活性化前に行アドレスバッファ 60 をパワーオンする信号 ϕ_{RALLi} は論理“ハイ”にある。バーCAS の活性化後、論理“ハイ”になる制御パルス信号 ϕ_c に応答して $NAND$ ゲート 482、484 は論理“ハイ”を出力する。従って、フリップフロップを構成する $NAND$ ゲート 480 は論理“ロウ”にラッチされ、列アドレスリセット信号 ϕ_{CAR} は論理“ハイ”になる。同様に、制御パルス信号 ϕ_c が論理“ハイ”のとき論理“ロウ”になるバースト長信号 $COSR$ に応答して $NAND$ ゲート 486 は論理“ロウ”を出力する (列エネーブル信号 ϕ_{YEC1} と列エネーブル信号 ϕ_{YEC2} のうちどちらか一つは論理“ハイ”である)。従って、 $RETI$ アドレスエネーブル信号 ϕ_{CARC} は論理“ハイ”になる。その後、 $COSR$ が論理“ハイ”になると、列アドレスリセット信号 ϕ_{CAR} と列アドレスエネーブル信号 ϕ_{CARC} は論理“ロウ”になる。しかし、66 MHz 以下のような低い周波数のシステムクロックの場合、バースト長信号 $COSR$ より先の信号 ϕ_{RALLi} 、列エネーブル信号 ϕ_{YEC1} 、又は列エネーブル信号 ϕ_{YEC2} が論理“ロウ”になり、列アドレスリセット信号 ϕ_{CAR} が論理“ロウ”になる。従って、この論理“ロウ”の列アドレスリセット信号 ϕ_{CAR} によりバースト長計数器 350 と列アドレス計数器 346 はリセットされ、不必要な動作が防止される。

【0137】5. データ伝送クロック発生回路

データ伝送クロック発生回路は、データ出力マルチプレクサと入力データデマルチプレクサを介してデータを伝送するためのクロックを発生する回路である。データ伝送クロック発生回路は、図 5 に示すデータ伝送制御計数器 348 と読出し及び書込みデータ伝送クロック発生回路 356、358 を含んでいる。列アドレス計数器 346 は、先に述べたように 33 MHz 以下のシステムクロックを使用する場合より速いプリチャージ時間を確保するため、逡倍されたシステムクロック $CNTCLK9$ を同期クロックとして使用する。この場合にデータはシステムクロック CLK に同期して伝送されなければならないので、データ伝送制御計数器 348 が必要である。しかし、このような技術が不必要である時は、図 39 に示した列アドレス計数器 346 はクロック $CNTCLK9$ の代りにシステムクロック信号 ϕ_{CLK} を同期計数クロックとして使用し、図 38 に示す選択回路 391 はこの計数器からの下位 2 ビット出力 $PCA0$ と $PCA1$ を入力して列アドレス信号 $CA0$ と $CA1$ を出力する。そして読出し及び書込みデータ伝送クロック発生回路 356、

358はデータ伝送制御計数器348からの出力RCA0とRCA1の代りに前記信号CA0とCA1を入力する。

【0138】図53は伝送制御計数器の概略的ブロック図である。同図において、データ伝送制御計数器348は列アドレスバッファ344からの列アドレス信号CA0とCA1を入力し、この信号CA0とCA1から始まる順次の内部列アドレス信号をシステムクロック信号 ϕ_{clk} に同期して発生する2ビット計数器488、490を有している。また、データ伝送制御計数器348は列アドレスバッファ344からの外部列アドレス信号FCA0、FCA1と、前記2ビット計数器からの内部列アドレス信号を直列列アドレス列(train)に発生する選択回路492、494を有する。2ビット計数器を構成するステージ488と490は図40と図41に示すステージとそれぞれ同一の構成を有する。相違点はクロックCNTCLK9の代りにシステムクロック信号 ϕ_{clk} を使用するという点である。選択回路494、492のそれぞれは図38に示された選択回路391と同一の構成を有する。選択回路391内の伝送スイッチ394の入力信号ECAIと入力信号PCAIはそれぞれFCAIと対応2ビット計数器の出力信号に替わる(Iは0又は1)。また、バースト長信号COSRはNANDゲート400、402の第3入力に供給される。選択回路492、494でバースト長信号COSRを使用するのは、バースト長終了時に不要な内部動作を防止するためである。この2ビット計数器と選択回路に対する動作説明は図40、図41及び図38に係って説明された部分を参照する。データ伝送制御計数器348の出力RCA0、RCA1と、その反転信号バーRCA0、バーRCA1は、データ線上のデータ伝送タイミングを制御するためにバーCAS待ち時間あるいは外部システムクロック周波数を示す信号に従って、適切に時間遅延された信号である。

【0139】図54は、データ出力マルチプレクサで用いられる読出しデータ伝送信号RDTP0~RDTP3を発生する読出しデータ伝送クロック発生回路356の詳細回路図である。同図において、読出しデータ伝送クロック発生回路356は、列アドレス信号RCA0、バーRCA0、RCA1、バーRCA1をデコーディングするNANDゲート498と、このデコーディング信号を入力し待ち時間に従って異なる時間遅延により読出しデータ伝送信号を発生する遅延回路500と、読出し動作で読出しデータ伝送信号を出力し、且つ書込み動作で出力を論理“ロウ”にリセットするNANDゲート496とから構成される。NANDゲート496の出力は書込み動作で論理“ハイ”になる書込み制御信号 ϕ_{wbc} に応答して全部論理“ハイ”となる。NANDゲート498のそれぞれは論理“ハイ”の二つの入力に応答して論理“ロウ”を出力するデコーダとして作用する。各遅延

回路500は複数のデータ通路を有するシフトレジスタ503と、このデータ通路にそれぞれ接続したスイッチ497、501、502で構成され、待ち時間信号CL3、CL4により選択されたスイッチを通じて相互に異なる遅延時間を提供する作用をする。図48を参照すれば、初期外部列アドレス A_0 と A_1 がそれぞれ論理“ハイ”1と論理“ロウ”0である場合、データ伝送制御用の列アドレス信号RCA0とRCA1及びこれらからの読出しデータ伝送信号RDTP0~RDTP3のタイミングが示されている。待ち時間値が3なので、スイッチ502はターンオンされる。

【0140】図55にデータ出力マルチプレクサ268で使用されるパルス信号 ϕ_{cl} を発生する回路の詳細回路図を示す。同図において、バーCASの活性化後に論理“ハイ”になる制御パルス信号 ϕ_c は遅延回路505を介してフリップフロップ504の出力を論理“ハイ”になるようにする。一方、待ち時間信号CL3とCL4のうち一つが論理“ハイ”であればNANDゲート506の出力は論理“ハイ”となる。つまり、パルス信号 ϕ_{cl} は論理“ハイ”となる。その後、制御パルス信号 ϕ_c が論理“ロウ”になると、論理“ハイ”のCL3の場合は、パルス信号 ϕ_{cl} は内部システムクロック信号 ϕ_{clk} のおよそ1サイクル遅延後に論理“ロウ”になり、論理“ハイ”のCL4である場合にはパルス信号 ϕ_{cl} は内部システムクロック信号 ϕ_{clk} のおよそ2サイクル遅延後に論理“ロウ”になる。しかし、バーCAS待ち時間が1又は2の場合にはCL3とCL4は論理“ロウ”であり、NANDゲート506の出力は論理“ロウ”なので ϕ_{cl} は常に論理“ロウ”となる。

【0141】図57~図59(これらは図面の記載上3つに分かれているが、一つのタイミング図を示す)はバーRASの活性化後にバーCAS割り込み読出し動作のタイミング図である。66MHzのシステムクロックにより3のバーCAS待ち時間と4のバースト長で動作が行なわれる。時間 t_1 で外部列アドレス A_0 、 A_1 、 A_2 、…、 A_8 =1、0、0、…、0と一緒に読出し命令が発せられ、時間 t_2 で外部列アドレス A_0 、 A_1 、 A_2 、…、 A_8 =0、1、0、…、0と一緒にバーCAS割り込みによる読出し命令が発せらる。バーCAS割り込み直前にRCA0=0、RCA1=1となる。バーCAS割り込み時に外部列アドレス A_0 と A_1 がそれぞれ論理“ロウ”と論理“ハイ”に入力されたので、時間 t_4 でRA0=0、RCA1=1である。従って、バーCAS割り込み直前の列アドレスとバーCAS割り込み時の列アドレスが同一なので、読み出されたデータは時間 t_1 と t_2 と同一のデータ線対DIO₁、バーDIO₂を通過して直列に伝送される。

【0142】もし、バーCAS割り込み直前の読出しデータが論理“ハイ”で、バーCAS割り込み時の読出しデータが論理“ロウ”であれば、図59に示されている

時間 t_1 と t_2 の間で DIO_2 のタイミング図に示したように1、0の直列データ伝送がデータ線 DIO_2 上で行なわれる。従って、図27に示したように、もし直列レジスタ274、278間を分離する手段276がない場合、この直列データはデータ出力マルチプレクサ268内の直列レジスタ274、278にそれぞれラッチされ、読出しデータ伝送信号 $RDT P 2$ によってターンオンされたデータ伝送スイッチ280を通じてデータ出力バッファに直列にのみ伝送される。しかし、回路の動作速度は例えば周囲温度などの周囲環境により変化するので、伝送スイッチ280又はデータ出力バッファ284の動作速度の変動に起因する直列データの衝突を防止するための手段が必要である。このパルス信号 ϕ_{cl} はそのようなデータ衝突を防止するため直列レジスタ274、278間を分離する信号として用いられる。図59においてPで示す論理“ハイ”の信号 ϕ_{cl} により、二つの直列データ間のデータ衝突が防止されることが分る。

【0143】図56は書込みデータ伝送クロック発生回路358の詳細回路図である。書込みデータ伝送クロック発生回路358はデータ入力マルチプレクサ314で使用される書込みデータ伝送信号 $WDTP0 \sim WDTP3$ を発生するための回路である。この回路358は列アドレス信号 $RCA0$ 、 $\overline{RCA0}$ 、 $RCA1$ 、及び $\overline{RCA1}$ をデコーディングするNANDゲート508と、デコーディングされた信号を内部システムクロック信号 ϕ_{clk} に同期する同期回路510と、同期された書込みデータ伝送信号をゲーティングするNANDゲート512とから構成される。読出し動作又はデータ入出力マスキング動作又はバーCAS割り込み動作中に線514は論理“ロウ”なので、NANDゲート512をすべてリセットする。参照番号516は遅延回路である。図35～図37のタイミング図に示されたように $RCA0=1$ 、 $RCA1=0$ であるとする時、論理“ハイ”のパルス信号 $WDTP1$ を発生し、その次に連続するアドレス $RCA0 (=0)$ と $RCA1 (=1)$ により論理“ハイ”のパルス信号 $WDTP2$ が発生する。

【0144】6. データ線ブリチャージ回路

データ線ブリチャージ回路は I/O 線、 PIO 線、及び DIO 線をブリチャージするための制御信号を発生する回路である。書込み及び読出し動作中に、データ通路上の線間にデータ伝送とブリチャージが交互に連続して行なわれる。交互にブリチャージを行なうため、外部列アドレス A_i から発生された列アドレス信号 $CA1$ が使用される。

【0145】図60は I/O 線と PIO 線をブリチャージする制御信号を発生する回路の詳細回路図である。 $RA11$ と $CA9$ は、上述したようにバンク選択信号であり、 I/O 線と PIO 線はブリチャージ状態に初期化されている。バーCASの活性化後、制御パルス信号 ϕ_c がいったん論理“ロウ”から論理“ハイ”になると(列

エネーブル信号 ϕ_{re} は論理“ハイ”である)、その後NANDゲート518は全部エネーブルされる。 $CA1$ が論理“ロウ”なら(バー $CA1$ は論理“ハイ”)ブリチャージ信号 $PIOPR1$ と $IOPR1$ は論理“ハイ”を維持する(バー $PIOPR1$ とバー $IOPR1$ は論理“ロウ”になる)。従って、図26においてブロック選択情報信号 BLS が論理“ハイ”であれば、 I/O 線対 (I/O_2 、 $\overline{I/O_2}$) と (I/O_3 、 $\overline{I/O_3}$) は継続してブリチャージされ、 I/O 線対 (I/O_0 、 $\overline{I/O_0}$) と (I/O_1 、 $\overline{I/O_1}$) はブリチャージが中断されデータの伝送用意をする。図30に示された PIO 線対 (PIO_2 、 $\overline{PIO_2}$) と (PIO_3 、 $\overline{PIO_3}$) も同様にブリチャージされる。その後、 $CA1$ が論理“ハイ”になると反対に I/O 線対 (I/O_0 、 $\overline{I/O_0}$) と (I/O_1 、 $\overline{I/O_1}$) と PIO 線対 (PIO_0 、 $\overline{PIO_0}$) と (PIO_1 、 $\overline{PIO_1}$) がブリチャージされる。一方、バーCAS割り込み動作でバーCASの活性化後に発生する論理“ロウ”の短い制御パルス信号 ϕ_c はブリチャージ信号 $PIOPR1$ 、バー $PIOPR1$ 、 $IOPR1$ 、バー $IOPR1$ を全部論理“ハイ”のパルスとなるようにする。従って、バーCAS割り込み時に、列アドレス入力前に I/O 線対と PIO 線対とをブリチャージする。このバーCASブリチャージにより、待機時間なしに内部動作が高速で行なわれるようになる。なお、参照番号520は遅延回路である。

【0146】図61は DIO 線をブリチャージするための制御信号を発生する回路の詳細回路図である。前記と同様に制御パルス信号 ϕ_c が論理“ロウ”になると、その後 DIO 線ブリチャージ信号 $DIOPR1$ 、バー $DIOPR1$ は全部論理“ハイ”になり、 $WCA1$ とバー $WCA1$ は全部論理“ロウ”になってすべての DIO 線をブリチャージする。即ち、バーCAS割り込み動作の場合となる。制御パルス信号 ϕ_c が論理“ハイ”になり、 $CA1$ が論理“ロウ”であれば(バー $CA1$ は論理“ハイ”)信号 $DIOPR1$ と $WCA1$ はそれぞれ論理“ハイ”と論理“ロウ”を維持し、バー $DIOPR1$ とバー $WCA1$ はそれぞれ論理“ロウ”と論理“ハイ”となる。従って、読出し又は書込み動作中、図27に示されたブリチャージ回路263c、263dはオン状態を維持し、ブリチャージ回路263a、263bはターンオフされる。すると、線 DIO_2 、 $\overline{DIO_2}$ と DIO_3 、 $\overline{DIO_3}$ が継続してブリチャージされ、 DIO_0 、 $\overline{DIO_0}$ と DIO_1 、 $\overline{DIO_1}$ はデータ伝送の用意をする。書込み動作の場合は、図29のトランジスタ318c、318dがオン状態を維持し、トランジスタ318a、318bはターンオフされ、バッファ324c、324dはオフ状態を維持し、バッファ324a、324bはラッチ320に貯蔵されたデータ状態に従ってデータを伝送する。その後、 $CA1$ が論理“ハ

イ”になったときは、前記動作と反対に動作する。

【0147】図62はP I Oドライバ330用のバンク選択信号D T C P 1又はD T C P 2を発生する回路の詳細回路図である。書込み命令が発せられると、その後書込み制御信号 ϕ_{rk} と制御パルス信号 ϕ_{cf} は論理“ハイ”になる。このとき、R A 1 1又はC A 9が論理“ロウ”にある時、D T C P 1が論理“ハイ”にラッチされるので、第1バンクが選択される。プリチャージ命令が第1バンクに発せられると列エネーブル信号 ϕ_{re} は論理“ロウ”になり、この第1バンク選択信号D T C P 1は論理“ロウ”になる。一方、第1バンクの書込み動作中に第2バンクの書込み命令が発せられるとフリップフロップ522'は論理“ロウ”にラッチされ、第2バンク選択信号D T C P 2は論理“ハイ”になる。D T C P 1とD T C P 2は対応バンクのP I Oドライバ330にそれぞれ接続される。図30を参照すると、バンク選択信号D T C P iとブロック情報信号B L Sが論理“ハイ”であればスイッチ332はエネーブルされ、対応D I O線上のデータを通過させることが分かる。

【0148】7. データ出力バッファ制御回路

データ出力バッファ制御回路は図26に示されたデータ出力バッファ284からのデータ出力を制御するための回路である。データ出力バッファは読出し動作でシステムクロックC L Kの予め予定された毎立上りエッジでのみデータを出力することが重要である。同期D R A MはバーC A S待ち時間とバースト長が設定された期間でのみデータを出力しなければならないので、残りの期間内でデータの出力を禁止することはチップの性能向上又は電力消耗の防止のために望ましい。また、所定のシステムクロック周波数（本実施例では33MHz）以下の1

【0149】図63はデータ出力バッファのデータ出力を遮断するための制御信号を発生する制御回路の詳細回路図である。NANDゲート524は書込み動作時に論理“ロウ”を出力する。クロック信号 ϕ_{cf} はバーC A Sの活性化後に内部システムクロック信号 ϕ_{clk} の一番目の立上りエッジで論理“ハイ”になりつつ、内部システムクロック信号 ϕ_{clk} の1クロックサイクルの間、論理“ハイ”を維持する。同様に、クロック信号 ϕ_{rcf} はバーW Eの活性化後に内部システムクロック信号 ϕ_{clk} の1クロックサイクルの間、論理“ハイ”を維持する。従って、書込み命令の場合のようにバーC A SとバーW Eが全部活性化されると、NANDゲート524は論理“ロウ”を発生し、制御信号 ϕ_{rst} は論理“ロウ”になる。また、外部信号D Q Mによりデータ出力マスキングが要請される時、図34に示すD Q Mバッファ342は図32に示す論理“ロウ”のクロック信号 ϕ_{qvf} を発生する。従って、NANDゲート526は論理“ハイ”のパルスを発生し、その結果、論理“ロウ”のパルス ϕ

ϕ_{rst} を発生する。同様に、バースト長終了後に待ち時間C L jによる遅延後、論理“ハイ”になる遅延バースト長信号C O S D Qにより制御信号 ϕ_{rst} も論理“ロウ”となる。従って、図28に示すデータ出力バッファ284の出力は論理“ロウ”の制御信号 ϕ_{rst} に应答して“ハイ”インピーダンスとなる。結局、データ出力バッファ284はデータ出力マスキング信号D Q Mに应答してデータ出力マスキング命令の後、次のシステムクロックC L Kの立上りエッジでデータ出力を遮断する。また、バーストデータ出力の終了時にはデータ出力バッファ284の出力は“ハイ”インピーダンスとなる。

【0150】33MHz以下の外部システムクロックが使用される場合、内部システムクロック信号 ϕ_{clk} に関係なくデータが出力されるように制御信号 ϕ_{rer} は待ち時間信号C L 1と接続することができる。33MHz以下のシステムクロックにおいて、待ち時間信号C L 1は論理“ハイ”を維持するので信号 ϕ_{rer} は論理“ハイ”である。よって、図28に示したデータ出力バッファ284で伝送スイッチ286、286'は常にターンオンされ、これによって内部システムクロック信号 ϕ_{clk} の制御を受けない。しかし、33MHzより高い周波数のシステムクロックが使用される時に上記信号C L 1は論理“ロウ”にあり、信号 ϕ_{rer} は論理“ロウ”にある。従って、この伝送スイッチ286、286'はシステムクロック信号 ϕ_{clk} の制御下で開閉されることになる。

【0151】動作

以下、本発明の同期D R A Mの動作及び使用方法を説明する。先ず、読出し動作について述べる。図47～図49は、100MHzの外部システムクロックを使用し、4のバースト長と3のバーC A S待ち時間で読出し動作を示しているタイミング図である。時間 t_1 で活性化命令が発せられ、バーR A Sの活性化と共に外部行アドレスが入力される。すると、バーR A Sバッファ56はバーR A Sパルス信号 ϕ_{rr} を発生し、外部アドレスA_{i1}により第1バンク12又は第2バンク14のうち一つを決定するバンク選択のためのバーR A Sクロック信号 ϕ_{rci} を発生する。図21の行マスタクロック発生回路62はこのバーR A Sクロック信号 ϕ_{rci} を入力し行マスタクロック信号 ϕ_{ri} を発生する。行マスタクロック信号 ϕ_{ri} に应答して行アドレスバッファ60は選択されたバンクの行デコーダ18に供給される行アドレス信号R A I、バーR A I（I=0～11）を発生する。

【0152】行デコーダ18はこの行アドレス信号R A I、バーR A I（I=0～11）に应答して、第1～第4メモリセルアレイのそれぞれで選択されたサブアレイを示すブロック選択情報信号B L Sと、前記選択されたサブアレイ内の一本のワード線を選択するワード線選択信号を発生する。このワード線選択信号によって選択されたワード線を駆動し、対応ビット線上にデータを読み出す感知動作は通常の技術によって行なわれる。このよ

うなバーRASチェーンの終了後、行制御クロック発生回路64はバーRAS-バーCAS遅延時間 t_{rcd} を保障するためのバーRASチェーン終了通知信号 ϕ_{rcdi} を発生する。時間 t_2 において読出し命令が発せられ、列アドレスが列アドレスバッファ344に入力される。論理“ロウ”のバーCAS信号に応答してバーCASバッファ338は制御パルス信号 ϕ_c 、 ϕ_{cA} 、 ϕ_{cP} 、及びプリセット信号BITSETを発生する。このバーRASチェーン終了通知信号 ϕ_{rcdi} に응答して列エネーブルクロック発生回路66から発生された列エネーブル信号 ϕ_{yeci} と、制御パルス信号 ϕ_c に응答して列アドレス信号の発生に係る回路を制御するための列アドレスリセット信号 ϕ_{cAr} が列アドレスリセット信号発生回路354から発生される。列アドレスバッファ344はバーCASバッファからの制御パルス信号 ϕ_{cA} と列アドレスリセット信号 ϕ_{cAr} に응答して、列アドレス信号CA0~CA9を出力する。従って、列アドレス信号はバーRASチェーン終了通知信号 ϕ_{rcdi} とバーCASの活性化を示すバーCASバッファ信号 ϕ_c によって発生された列アドレスリセット信号 ϕ_{cAr} に응答する列アドレスバッファ344から発生するので、バーCASの活性化(時間 t_2)から列アドレス信号の出力までが短時間となる。

【0153】列アドレスリセット信号 ϕ_{cAr} が論理“ハイ”になった後、バースト長を検出するためシステムクロック信号 ϕ_{clk} の計数動作がバースト長計数器350で行なわれる。バースト長計数器350からの計数信号CNT0、CNT1に응答してバースト長検出回路352はバースト終了信号COSIを発生し、バーCASの活性化後にバースト長を示すバースト長信号COSRを発生する。また、バースト長によって定められるデータ出力期間の間にデータ出力バッファ284がデータを発生するように、このバッファ284を制御するための遅延バースト長信号COSDQが、予め設定された待ち時間値に依存するシステムクロックの周期分バースト長信号COSRから遅延される。バーCAS待ち時間は3であるので、遅延バースト長信号COSDQはバースト長信号COSRから内部システムクロック信号 ϕ_{clk} のおよそ2周期遅延された信号となる。従って、論理“ロウ”の遅延バースト長信号COSDQはバーCAS待ち時間値とバースト長によって定められる期間(この場合は、時間 t_2 と t_3 との間の期間)を有することになる。

【0154】列アドレス計数器346はバーCASバッファからのプリセット信号BITSETと列アドレスエネーブル信号 ϕ_{cAec} に응答して列アドレスバッファ344からの列アドレス信号を負荷し、バースト長とアドレスモードによりクロックCNTCLK9を計数しつつ連続列アドレス信号PCA0~PCA8を発生する。列アドレスバッファ344は前記初期の外部列アドレスとこ

の連続列アドレス信号PCA0~PCA8で構成された連続した列アドレス信号CA0~CA8を発生する。

【0155】図47~図49に示すタイミング図はバイナリアドレスモード(列アドレッシングモード信号 $\phi_{INTEL}=0$)で外部列アドレス A_0 は論理“ハイ”で、残りの外部列アドレス $A_1 \sim A_9$ は全部論理“ロウ”と仮定する場合を示している。バースト長は4に設定されているので、モード制御信号SZ4だけが論理“ハイ”にある。従って、図39のアドレス計数器346を構成する第1計数部の下位2個のステージST1、ST2のみが2進計数動作を行なう。また、100MHzで動作するのでクロックCNTCLK9は内部システムクロック信号 ϕ_{clk} と同一である。従って、データ伝送制御計数器348の出力RCA0、RCA1は列アドレス計数器346の出力PCA0、PCA1と同一である。この計数器348の出力RCA0とRCA1は読出しデータ伝送クロック発生回路356に入力され、読出しデータ伝送パルスRDTP0~RDTP3を発生する。

【0156】一方、列アドレスバッファ344からの列アドレス信号CA0~CA8は列デコーダ24に入力され、連続した列アドレス信号CA1とCA2により図44に示されたブリデコーダ436は部分的にオーバーラップされたブリデコーディング信号DCAバー1バー2とDCA1バー2を発生する。このブリデコーディング信号を入力する図46に示す主列デコーダ444は列選択信号CSL0とCSL1を発生する。列選択信号CSL0は、上述したようにビット線対上のデータが第1I/O線対(I/O₀、バーI/O₀)と(I/O₁、バーI/O₁)に伝送されるようにするので、列選択信号CSL0の1番目のパルス532によって発生された第1I/O線対上のデータは対応するI/O線選択回路と対応する第1PIO線対を通じてI/Oセンスアンプに入力される。I/Oセンスアンプは活性化信号535を用いて第1PIO線対上のデータを増幅し、対応第1データ線対(DIO₀、バーDIO₀)と(DIO₁、バーDIO₁)に供給する。このとき、DIO線ブリチャージ信号DIOPR1は論理“ハイ”なので第2データ線対(DIO₂、バーDIO₂)と(DIO₃、バーDIO₃)はブリチャージ状態にある。この第1データ線対を通じて伝送されたデータは、図27に示したデータ出力マルチプレクサ268内のレジスタ278に貯蔵される。

【0157】第1データ線対の中でデータ線対(DIO₁、バーDIO₁)を通じて伝送されたデータはパルスRDTP1によって選択され、共通データ線対(CDL、バーCDL)及びデータ出力ラッチ282及びデータ出力線対(D0、バーD0)を通じてデータ出力バッファに入力される。その後、同様に、列選択信号CSL1のパルス533によって発生された第2I/O線対(I/O₂、バーI/O₂)と(I/O₃、バーI/O₃)

、) 上の並列データがデータ出力バッファに直列に入力される。そして、列選択信号CSL0の2番目のパルス534によって発生した第1I/O線対の中でI/O線対(I/O₀、バーI/O₀)上の最後のデータがデータ出力バッファに入力される。仮に、読み出されたデータが1、0、1、0とすると、データ出力バッファの出力DOUTはデータ出力バッファをエネーブルする制御信号φ_{TRST}により、図49に示したように出力される。従って、制御信号φ_{TRST}が論理“ロウ”の場合にデータ出力バッファ284は“ハイ”インピーダンスとなり、10 不必要な動作が防止される。また、バーCAS活性化後に3番目のシステムクロックCLKの立上りエッジで1番目のデータが発生し、連続する4ビットのデータがこのシステムクロックCLKに同期して出力されることが分る。

【0158】図35～図37は、66MHzのシステムクロックを使用し、2のバーCAS待ち時間と4のバースト長での書込み動作を示すタイミング図である。上述の読出し動作の場合と同様に、外部アドレスA₀とアドレスA₁～A₇はそれぞれ論理“ハイ”と論理“ロウ”に印加され、データ入力バッファの入力データDINは1、0、1、0の直列データの場合である。上述の読出し動作の場合と同様に、バーRASチェーンが動作しバースト終了信号COSIによりバースト長信号COSRが発生される。書込みデータ伝送パルスWDTP0～WDTP3を発生するための連続的な列アドレス信号RCA0、RCA1が列アドレス信号CA0とCA1によって発生される。また、時間t₁で書込み命令を発し論理“ロウ”の信号バーWEにより書込み制御信号φ_{WE}と書込み制御信号φ_{WE}がバーWEバッファ340から発生15 される。

【0159】これら列アドレス信号RCA0とRCA1に回答して書込みデータ伝送クロック発生回路358は直列データを並列データに変更するための書込みデータ伝送パルスWDTP0～WDTP3を発生する。データ入力バッファ312を介して入力される入力データDINは、内部システムクロック信号φ_{CLK}に同期して入力線DI上に示されたような直列データとして出力される。データ入力デマルチプレクサ314は制御信号WCA1、バーWCA1と書込みデータ伝送パルスWDTP0～WDTP3の制御下でデータ線DIO₀、バーDIO₀、DIO₁、バーDIO₁上に示されたようなタイミングを有する並列データを発生する。この並列データは制御信号IOPR1、バーIOPR1の制御下でPIOLインドライバ330を介して対応I/Oバスに供給され、列選択信号CSL1によって選択されたビット線を通じて対応メモリセルに書き込まれる。

【0160】3番目として割り込み動作について説明する。図57～図59は、66MHzのシステムクロックを使用し、3のバーCAS待ち時間と4のバースト長で20

のバーCAS割り込み読出し動作を示すタイミング図である。時間t₁の読出し命令で外部アドレスA₀と外部アドレスA₁～A₇がそれぞれ論理“ハイ”と論理“ロウ”に印加され、時間t₁のバーCAS割り込み読出し命令で外部アドレスA₁と外部アドレスA₀、A₁～A₇はそれぞれ論理“ハイ”と論理“ロウ”に印加される場合である。時間t₁での読出し命令によって読み出されなければならないデータの中で、最後の2ビットのデータが時間t₁でのバーCAS割り込み命令により読み出されないということ以外には上述した書込み動作と同一である。時間t₁からクロックCLKの2周期前に活性化命令が発せられ、その後行アドレスにより行なわれるバーRASチェーンの動作は前述の通りである。読出し命令が時間t₁で発せられ、その後論理“ロウ”の列アドレス信号CA1とCA2により図44に示されたブリデコーディング回路からの列ブリデコーディング信号DCAバー1バー2は論理“ハイ”となる。すると、常に論理“ロウ”のCA2～CA8により列選択信号CSL0はパルス600となる。論理“ハイ”にCA1が選10 移された後に列ブリデコーディング信号DCA1バー2が論理“ハイ”になり、その後列選択信号CSL1はパルス601になる。

【0161】時間t₁でバーCAS割り込み読出し命令が発せられると、プリセット信号BITSETのパルス602によってリセットされたバースト長計数器350はシステムクロック信号φ_{CLK}の2進計数動作を再度始め、バースト長4を計数した後にパルス603のバースト終了信号COSIを発生する。従って、最初の読出し命令からのバースト長を示す論理“ロウ”のバースト長信号COSRが発生される。このバースト長信号COSRによりバーCAS待ち時間が考慮されたデータ読出し区間を示す遅延バースト長信号COSDQが発生する。よって、総6ビットのデータが読み出される。

【0162】図38に示した列アドレスバッファ344はバーCASバッファ338から発生された論理“ハイ”の制御パルス信号φ_{CA}によりバーCAS割り込み時(時間t₁)に入力された外部列アドレスをラッチし、連続した4個の列アドレス信号を発生する。この時、列アドレス信号CA1は、最下位の列アドレス信号CA0が論理“ロウ”であるので、制御パルス信号φ_{CA}の論理“ロウ”の遷移後約2クロックサイクルの間、論理“ハイ”を維持する。これによって列選択信号CSL1は論理“ハイ”のパルス604となる。列アドレス信号CA1は論理“ロウ”になり約2クロックサイクルの間、論理“ロウ”を維持する。これによって、列選択信号CSL0は論理“ハイ”のパルス605となる。一方、時間t₁での入力列アドレスA₀(=1)とA₁(=0)と時間t₂での入力列アドレスA₀(=0)とA₁(=1)を用いて読出しデータ伝送パルスRDTP0～RDTP3が609、606、607、608のように発生す

る。

【0163】列選択信号CSL0のパルス600によりビット線対上のデータは第1I/O線対に伝送された後、第1PIO線対を通じて第1データ線対(DIO₀、バーDIO₀)と(DIO₁、バーDIO₁)に伝送される。図59にはDIO₀線とDIO₁線上にそれぞれ論理“ハイ”と論理“ロウ”のデータが並列に伝送されるのを示す。この並列データは図27のデータ出力マルチプレクサ268内の対応ラッチ278a、278bに貯蔵され、その後RDTP1のパルス606の時にはDIO₁線と関連したラッチ278bに貯蔵されたデータが出力される。結局、データ出力バッファ284は論理“ロウ”のデータRD1を出力する。列選択信号CSL1のパルス601により選択されたデータは第2I/O線対と第2PIO線対を通じて第2データ線対(DIO₂、バーDIO₂)と(DIO₃、バーDIO₃)に伝送され、その後ラッチ278c、278dに貯蔵される。DIO₂とDIO₃上のデータはそれぞれ論理“ハイ”と論理“ロウ”であることが分る。RDTP2のパルス607はラッチ278cに貯蔵されたデータを出力させ、その後データ出力バッファは論理“ハイ”のデータRD2を出力する。同様に、列選択信号CSL1のパルス604により選択された並列データはデータ線DIO₂とDIO₃に伝送される。同図は論理“ロウ”のデータと論理“ハイ”のデータがデータ線DIO₂とDIO₃上にそれぞれ伝送されることを示している。

【0164】図27に示す伝送スイッチ276はφ_{cl}の論理“ハイ”のパルスPによってオフ状態にある。しかし、以前動作でこのDIO₂線を通じてラッチ278cに貯蔵されたデータが、RDTP2のパルス607によりデータ出力バッファ284に伝送された後、パルスPは論理“ロウ”になる。すると、このスイッチ276はオン状態になる。従って、データ線DIO₂とDIO₃上のデータはラッチ278c、278dにそれぞれ貯蔵される。その後、RDTP2のパルス607によりラッチ278cに貯蔵されたデータが出力され、その結果論理“ロウ”のデータRD3がデータ出力バッファ284を介して出力される。その後、RDTP3のパルス608によりラッチ278dに貯蔵されたデータが出力され、その結果データ出力バッファ284は論理“ハイ”のデータRD4を出力する。同様に列選択信号CSL0のパルス605により選択されたデータは第1データ線対に伝送される。論理“ロウ”と論理“ハイ”のデータがデータ線DIO₀とDIO₁上にそれぞれ並列に伝送されることが分る。これらデータもRDTP0とRDTP1のパルス609、610によって順次選択され、データ出力バッファ284は論理“ロウ”のデータRD5と論理“ハイ”のデータRD6を順次出力する。その後、論理“ハイ”のCOSDQによってデータ出力バッ

ファ284は“ハイ”インピーダンスとなる。

【0165】図64は選択された一つのバンクを使用して2のバーCAS待ち時間と4のバースト長で読出し及び書込み動作を示しているタイミング図である。時間t₁で活性化命令、時間t₂で外部列アドレスCA0による読出し命令、時間t₃で外部列アドレスCB0によるバーCAS割り込み読出し命令、時間t₄で外部列アドレスCC0によるバーCAS割り込み書込み命令、時間t₅で外部列アドレスCD0によるバーCAS割り込み書込み命令、そして時間t₆でプリチャージ命令が与えられる。そして、時間t₇、t₈、t₉、及びt₁₀でデータ入出力マスキング命令が発している。時間t₁で発せられる読出し命令により時間t₂、t₃で2ビットのデータQA0とQA1が出力され、時間t₄で発せられる読出し命令により時間t₅、t₆で2ビットのデータQB0とQB1が連続的に出力される。時間t₇で発するデータ出力マスキング命令により時間t₈でデータ出力が遮断され、“ハイ”インピーダンス状態となる。時間t₉で発せられる書込み命令により時間t₁₀、t₁₁で書込みデータDC0とDC1が入力される。時間t₁₂で発せられるデータ入力マスキング命令は時間t₁₃で書込みデータを割り込んでいる。同様に、時間t₁₄で発せられる書込み命令により時間t₁₅とt₁₆で書込みデータDD0とDD1が入力され、時間t₁₇とt₁₈で発せられたデータ入力マスキング命令は時間t₁₉で発せられるプリチャージ命令後に時間t₂₀とt₂₁でデータの書込みを割り込む。

【0166】図65は選択された一つのバンクを用いて2のバーCAS待ち時間と4のバースト長で読出しと書込み動作を示す。読出し及び書込み及びデータ入出力マスキング動作は図64における動作と同一である。時間t₁で発せられる一時停止命令後、システムクロックCLKのパルス536に対応する内部システムクロック信号φ_{cl}のパルスの発生を遮断する。従って、時間t₂でデータ出力は一時停止される。即ち、時間t₃で出力データと同一のデータが出力されことになる。同様に、時間t₄で発する一時停止命令により、対応パルスの発生が遮断された内部システムクロックは内部列アドレス計数器の動作を一時停止させ、時間t₅でデータの書込みを遮断する。

【0167】図66は2のバーCAS待ち時間と4のバースト長で第2バンクを使用する読出し動作を示すタイミング図である。時間t₁で第1バンクの活性化命令と時間t₂での読出し命令により、時間t₃から連続するデータQA0~QA3が出力される。また、時間t₄で第2バンクの活性化命令と時間t₅での読出し命令により時間t₆から連続するデータQB0~QB3が出力される。時間t₇で二つのバンクに対する同時プリチャージ命令が発せられるようになる。

【0168】図67は2のバーCAS待ち時間と4のバ

ースト長を用いてインタリーブ読出し動作のタイミング図である。時間 t_1 で第1バンクに対する活性化命令と時間 t_2 で第1バンクに対する読出し命令が発せられる。従って、時間 t_3 で第1バンクから読み出されたデータ $QA0 \sim QA3$ が出力される。同時に、時間 t_4 では第2バンクの活性化命令が発せられる。時間 t_5 で論理“ハイ”の列アドレス A_1 において選択された第2バンクの読出し命令が発せられ、第1バンクからの連続する4ビットのデータ $QA0 \sim QA3$ が出力された後にギャップなしに第2バンクからの読出しデータ $QB0 \sim QB2$ が出力される。時間 t_6 で論理“ロウ”の列アドレス A_1 によって選択された第1バンクの読出し命令が発し、第1バンクからの読出しデータ $QC0$ と $QC1$ が連続して出力される。その後、時間 t_7 で第2バンクの読出し命令が発せられ読出しデータ $QD0$ と $QD1$ が出力される。その後、時間 t_8 で第1バンクに対するプリチャージ命令が発している。時間 t_9 で第2バンクに対する読出し命令が発せられ、読出しデータ $QE0 \sim QE3$ が出力される。その後、時間 t_{10} で第2バンクに対するプリチャージ命令がアドレス A_{10} と A_{11} によって発せられるようになっている。

【0169】図64～図67の動作に関連して、一つのデータ入出力パッドを用いて種々の動作モードを説明したが、本実施例では8個のデータ入出力パッドをもっており、その他多くの応用が可能である。

【0170】他の実施例

上述したように、本発明の同期DRAMはパルスバーRASを使用することによって実施されたことが分る。しかし、本発明の同期DRAMはレベルバーRASを使用して実施することもできる。レベルバーRASに対する各種動作命令は図7と関連して既に説明した。本発明の同期DRAMがレベルバーRASによって動作するためにはいくつかの回路に対する変更が必要である。なお、その他の回路はそのまま使用できる。

【0171】図68はレベルバーRASを使用する場合のレベルバーRASバッファの詳細回路図である。同図において、レベルバーRASバッファ538を構成する入力バッファ70iと同期回路108は、図11に示されたパルスバーRAS用のバーRASバッファ56での入力バッファ及び同期回路108と同一である。同期回路108の出力はラッチ550を通じて第1バンク用の第1バーRAS信号発生回路540と第2バンク用の第2バーRAS信号発生回路542に共通に接続する。第1バーRAS信号発生回路540はアドレス A_{11} によって発生されたバンク選択信号バーSRA11にตอบสนองして第1バンクバーRAS信号を貯蔵するためのフリップフロップ545を有している。フリップフロップ545はNANDゲート544、546で構成されるNAND形フリップフロップである。

【0172】フリップフロップ545の一入力端はバン

ク選択信号バーSRA11と、リフレッシュ又はモード設定動作あるいはテストモードにおいて論理“ハイ”信号を入力するNORゲート548の出力端に接続され、他入力端は同期回路108からのバーRAS信号を入力する。第2バーRAS信号発生回路542の構成は第1バーRAS信号発生回路540の構成と同一である。従って、バーRASの活性化時に外部アドレス A_{11} が論理“ロウ”、即ちバーSRA11が論理“ハイ”ならフリップフロップ545は論理“ロウ”をラッチする。そこで、第1バンクバーRAS信号 ϕ_{rc1} は論理“ハイ”にラッチされる。このとき、第2バーRAS信号発生回路542内のNORゲート548'は論理“ハイ”を出力するので、フリップフロップ545'は以前の状態を維持する。即ち以前の動作中、バーRASの活性化時に A_{11} が論理“ハイ”、即ちSRA11が論理“ハイ”であれば第2バンクバーRAS信号 ϕ_{rc2} は論理“ハイ”である。従って、二つのバンクとも活性化状態を維持することになる。

【0173】一方、バーRASが論理“ロウ”から論理“ハイ”になると、次のシステムクロック信号 ϕ_{clk} の立上りエッジでラッチ550は論理“ハイ”をラッチする。従って、NANDゲート546、546'はすべて論理“ロウ”を入力するので、この信号第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は論理“ロウ”になる。即ち、この二つのバンクはプリチャージ状態になる。一方、リフレッシュ時ににおいてリフレッシュ信号バー ϕ_{rf} は論理“ロウ”で、モード設定動作でモード設定制御信号バー ϕ_{rcs} は論理“ロウ”を維持するので、リフレッシュ又はモード設定動作でこの第1バーRASクロック信号 ϕ_{rc1} と第2バーRASクロック信号 ϕ_{rc2} は論理“ハイ”である。なお、信号 ϕ_{rl1} 、 ϕ_{rl2} は後述するレベルバーRAS制御回路に出力される信号で、前記第1バーRASクロック信号 ϕ_{rc1} 及び第2バーRASクロック信号 ϕ_{rc2} より速いタイミングを有している。

【0174】図69は特定アドレスSRA10とSRA11を発生するアドレスバッファを示す詳細回路図である。このアドレスバッファは行アドレスバッファと列アドレスバッファとは独立した別途のバッファである。アドレス A_{10} にตอบสนองしてSRA10を発生するアドレスバッファ552はパルスバーRASで使用され、レベルバーRASでは使用されない。アドレスバッファ552は入力バッファ70jと同期回路108で構成される前述したバッファと同一の構成を有する。アドレス A_{11} にตอบสนองしてSRA11を発生するアドレスバッファ554は、レベルバーRASを使用する場合に発生する第1バーRASクロック信号 ϕ_{rc1} 、第1バーRASクロック信号 ϕ_{rc2} にตอบสนองしてターンオンされる伝送スイッチ556を有する。この伝送スイッチ556は第1バンクと第2バンクのうちいずれか一つの活性化によってターン

オフされる。伝送スイッチ 5 5 6 は二つのバンクのうちいずれか一つの活性化後、システムクロック信号 ϕ_{CLK} の次のクロックによって信号 S R A 1 1 の論理レベルが変更されしきことを防止するための作用をする。パルスバー R A S でアドレスバッファ 5 5 4 が使用される場合、ラッチ 5 5 8 の出力が S R A 1 1 となるように変形された回路が使用される。

【0 1 7 5】図 7 0 はレベルバー R A S の場合における、モード設定制御信号バー ϕ_{CBR} とリフレッシュ信号バー ϕ_{RFH} を発生するレベルバー R A S 制御回路の回路図である。パルスバー R A S の場合に使用される図 1 6 のモード設定制御信号発生回路 2 0 0 の伝送スイッチはバー R A S パルス信号 ϕ_{RP} により開閉される。しかし、レベルバー R A S の場合は、このバー R A S パルス信号 ϕ_{RP} の代りにレベルバー R A S バッファ 5 3 8 からの信号 ϕ_{RL1} と ϕ_{RL2} によって伝送スイッチをゲーティングするようにしている。これはより速いタイミングの信号 ϕ_{RL1} と ϕ_{RL2} によりモード設定制御信号バー ϕ_{CBR} 又はリフレッシュ信号バー ϕ_{RFH} を発生させるためである。動作は図 1 6 に関連する説明と同一である。図 7 1 はレベルバー R A S を使用する同期 D R A M の動作タイミング図である。同図に示した動作タイミング図はパルスバー R A S を使用する図 6 4 に示された動作タイミング図とほぼ同一である。図 7 1 でプリチャージ命令は時間 t_1 で発せられ、他の動作についてはパルスバー R A S の場合と同一である。以上のように、本発明の同期 D R A M のシステム設計及び使用方法を詳細に説明した。本発明の実施例は同期 D R A M について説明したが、本発明は他の半導体メモリでも適用しえることは明らかである。

【0 1 7 6】

【発明の効果】上述のように本発明は、半導体メモリにおいて外部システムクロックに同期してデータの入出力が可能であり、高速データ伝送率と多様なシステムクロック周波数で動作することができ、入力データ又は出力データの数をプログラムできるという効果がある。また、バイナリー又はインタリーブモードで計数動作が可能な計数器を提供することもできる。

【0 1 7 7】また本発明は、入力データ又は出力データの数に関係なく不必要なチップの内部動作を遮断し、多様な動作モードを設定できる。そして、高速データ伝送率で動作できるデータ伝送と、プリチャージを提供するデータ伝送回路とをもち、少なくとも 2 個のメモリバンクを有する一つの半導体メモリチップにおいて該メモリバンクの動作モードを設定できる回路を有する効果がある。

【図面の簡単な説明】

【図 1】本発明による同期 D R A M の同一チップ上に形成された種々の構成部分の概略的平面構成を示す図（左側部分）。

【図 2】本発明による同期 D R A M の同一チップ上に形成された種々の構成部分の概略的平面構成を示す図（右側部分）。

【図 3】図 1 ~ 2 における、サブアレイのうちいずれか一つと、これに接続される I / O 線対の配置関係を示す図。

【図 4】本発明による行制御回路を示す概略的ブロック図。

【図 5】本発明による列制御回路を示す概略的ブロック図。

【図 6】パルスバー R A S でそれぞれ使用される各種命令を示すタイミング図。

【図 7】レベルバー R A S でそれぞれ使用される各種命令を示すタイミング図。

【図 8】本発明によるクロック (C L K) バッファの詳細回路図。

【図 9】本発明によるクロックエネーブル (C K E) バッファの詳細回路図。

【図 1 0】図 8 及び図 9 における C L K バッファと C K E バッファの動作タイミング図。

【図 1 1】本発明による多機能パルスバー R A S 入力バッファの詳細回路図。

【図 1 2】本発明で使用する列制御信号及びクロックのタイミング図。

【図 1 3】本発明によるプリチャージ時に通倍されたクロックを発生する高周波クロック発生回路の詳細回路図。

【図 1 4】本発明による行アドレスバッファの詳細回路図。

【図 1 5】本発明による動作モード設定回路の概略的ブロック図。

【図 1 6】図 1 5 におけるモード設定制御信号発生回路の具体回路図。

【図 1 7】図 1 5 におけるアドレスコードレジスタの具体回路図。

【図 1 8】図 1 3 における待ち時間論理回路の具体回路図。

【図 1 9】図 1 3 におけるバースト長論理回路の具体回路図。

【図 2 0】本発明による自動プリチャージ制御信号発生回路を示す図。

【図 2 1】本発明による行マスタクロック信号を発生する行マスタクロック発生回路の具体回路図。

【図 2 2】本発明によるモード設定と自動プリチャージに対するタイミング関係を示すタイミング図。

【図 2 3】列制御信号の発生をエネーブルするための信号を発生する回路図。

【図 2 4】図 1 3 に示した高周波クロック発生回路の動作タイミング図。

【図 2 5】本発明による一つのデータバスに係るデータ

通路上の回路ブロック図。

【図 2 6】本発明による I / O ブリチャージ及び選択回路の詳細回路図。

【図 2 7】本発明によるデータ出力マルチプレクサの詳細回路図。

【図 2 8】本発明によるデータ出力バッファの具体回路図。

【図 2 9】本発明によるデータ入力デマルチプレクサの具体回路図。

【図 3 0】本発明による P I O ラインドライバの詳細回路図。 10

【図 3 1】本発明によるバー C A S バッファの詳細回路図。

【図 3 2】本発明によるバー W E バッファの詳細回路図。

【図 3 3】本発明による D Q M バッファの詳細回路図。

【図 3 4】図 3 3 における D Q M バッファの動作タイミング図。

【図 3 5】本発明による書込み動作のタイミング図。

【図 3 6】本発明による書込み動作のタイミング図。 20

【図 3 7】本発明による書込み動作のタイミング図。

【図 3 8】本発明による列アドレスバッファの詳細回路図。

【図 3 9】本発明による列アドレス計数器の概略的ブロック図。

【図 4 0】図 3 9 における第 1 計数部を構成する各ステージの詳細回路図。

【図 4 1】図 3 9 における第 2 計数部を構成する各ステージの詳細回路図。

【図 4 2】図 4 0 に示された回路による動作タイミング図。 30

【図 4 3】本発明による列デコーダの概略的ブロック図。

【図 4 4】図 4 3 における第 1 ブリデコーダの詳細回路図。

【図 4 5】図 4 3 における第 2 ブリデコーダの詳細回路図。

【図 4 6】図 4 3 における主デコーダの詳細回路図。

【図 4 7】本発明による読出し動作のタイミング図。

【図 4 8】本発明による読出し動作のタイミング図。 40

【図 4 9】本発明による読出し動作のタイミング図。

【図 5 0】図 5 におけるバースト長検出回路の詳細回路図。

【図 5 1】図 5 におけるバースト長検出回路の詳細回路

図。

【図 5 2】図 5 における列アドレスリセット信号発生回路の詳細回路図。

【図 5 3】図 5 における伝送制御計数器の概略的ブロック図。

【図 5 4】図 5 における読出しデータ伝送クロック発生回路の詳細回路図。

【図 5 5】図 2 7 に示されたデータ出力マルチプレクサで使用する信号 ϕ_{cl} を発生する回路の詳細回路図。

【図 5 6】図 5 における書込みデータ伝送クロック発生回路の詳細回路図。

【図 5 7】本発明によるバー C A S 割り込みの書込み動作のタイミングを示す図。

【図 5 8】本発明によるバー C A S 割り込みの書込み動作のタイミングを示す図。

【図 5 9】本発明によるバー C A S 割り込みの書込み動作のタイミングを示す図。

【図 6 0】本発明により I / O 線と P I O 線をブリチャージする制御信号を発生する回路の詳細回路図。

【図 6 1】本発明により D I O 線をブリチャージするための制御信号を発生する回路の詳細回路図。

【図 6 2】図 3 0 で使用されるバンク選択信号を発生する回路の詳細回路図。

【図 6 3】図 2 8 に示されたデータ出力バッファで 사용되는制御信号を発生する制御回路の詳細回路図。

【図 6 4】パルスバー R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 5】パルスバー R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 6】パルスバー R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 7】パルスバー R A S を使用する同期 D R A M における種々の動作モードのタイミング図。

【図 6 8】レベルバー R A S で使用するバー R A S バッファの詳細回路図。

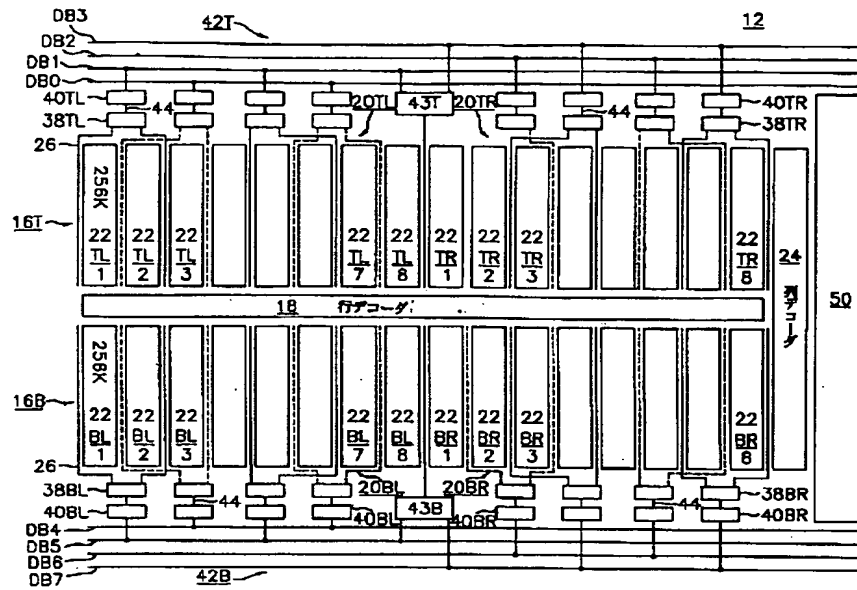
【図 6 9】特定アドレスバッファの詳細回路図。

【図 7 0】レベルバー R A S で使用するモード設定マスククロックとリフレッシュマスククロックを発生する制御回路の詳細回路図。

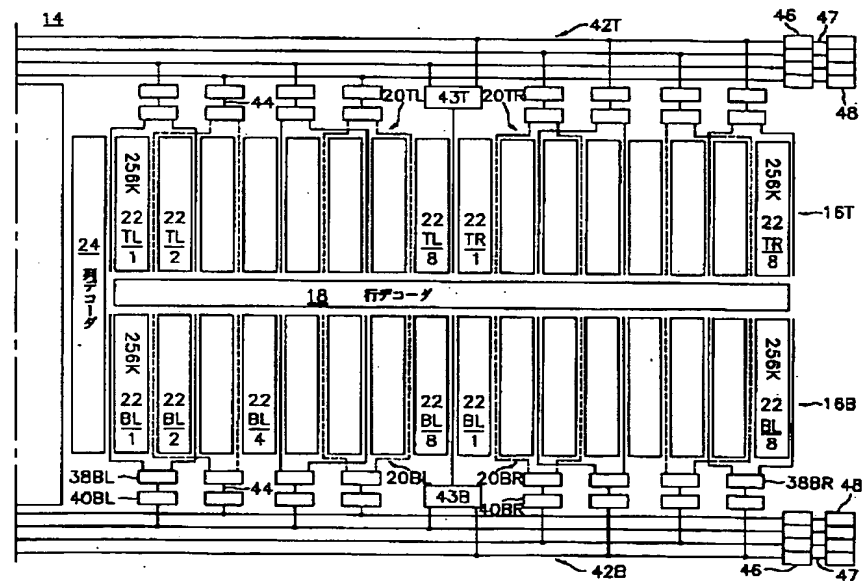
【図 7 1】レベルバー R A S を使用する同期 D R A M の動作タイミング関係を示すタイミング図。

【図 7 2】図 1 ~ 図 2、図 3 5 ~ 図 3 7、図 4 7 ~ 図 4 9、図 5 7 ~ 図 5 9 についての結合関係を示す図。

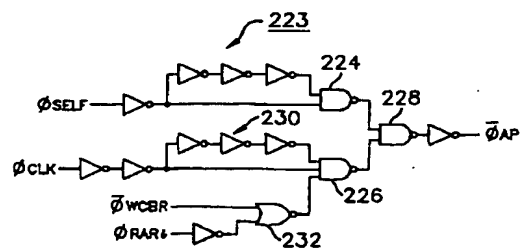
【図1】



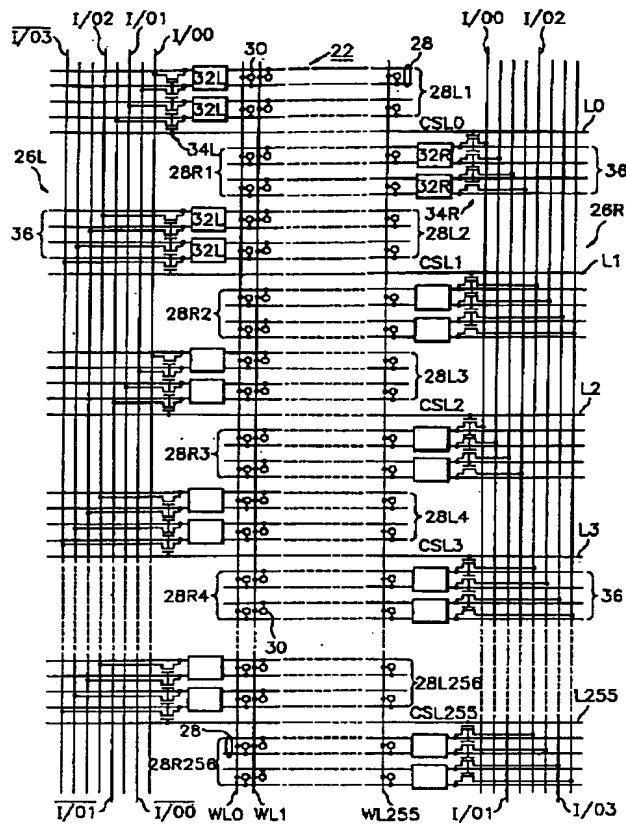
【図2】



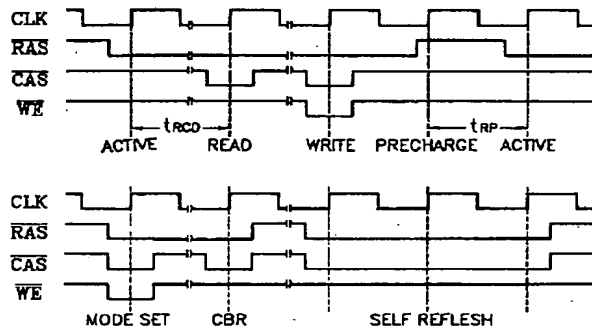
【図20】



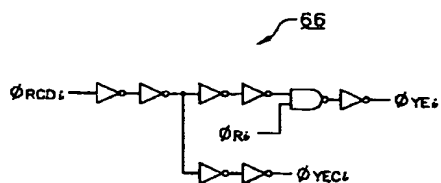
【図 3】



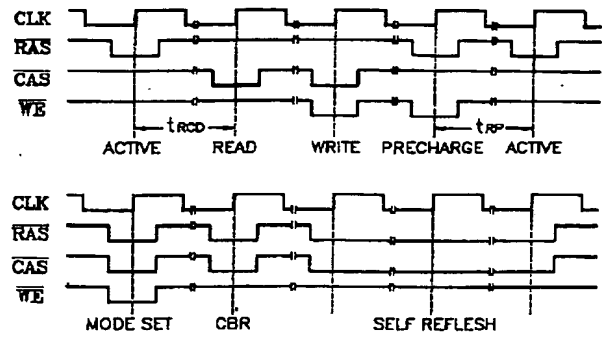
【図 7】



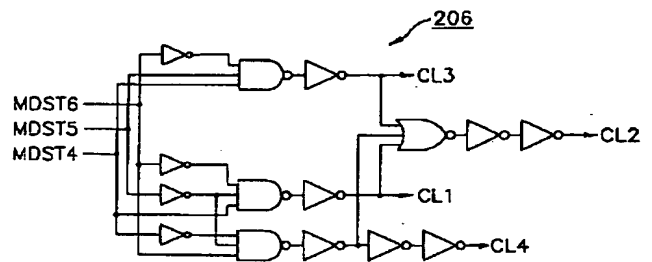
【图 2 3】



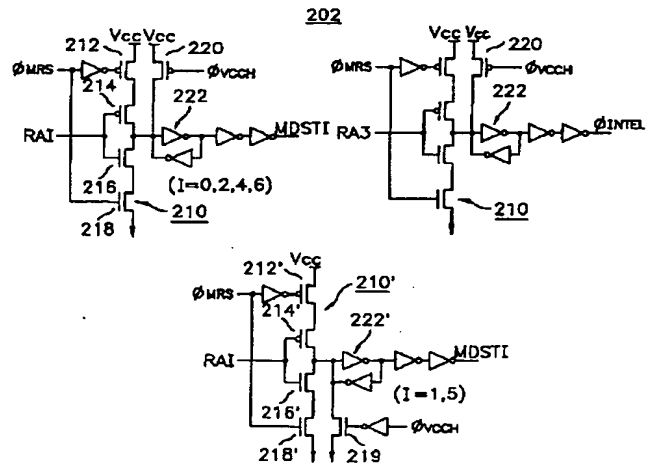
【図 6】



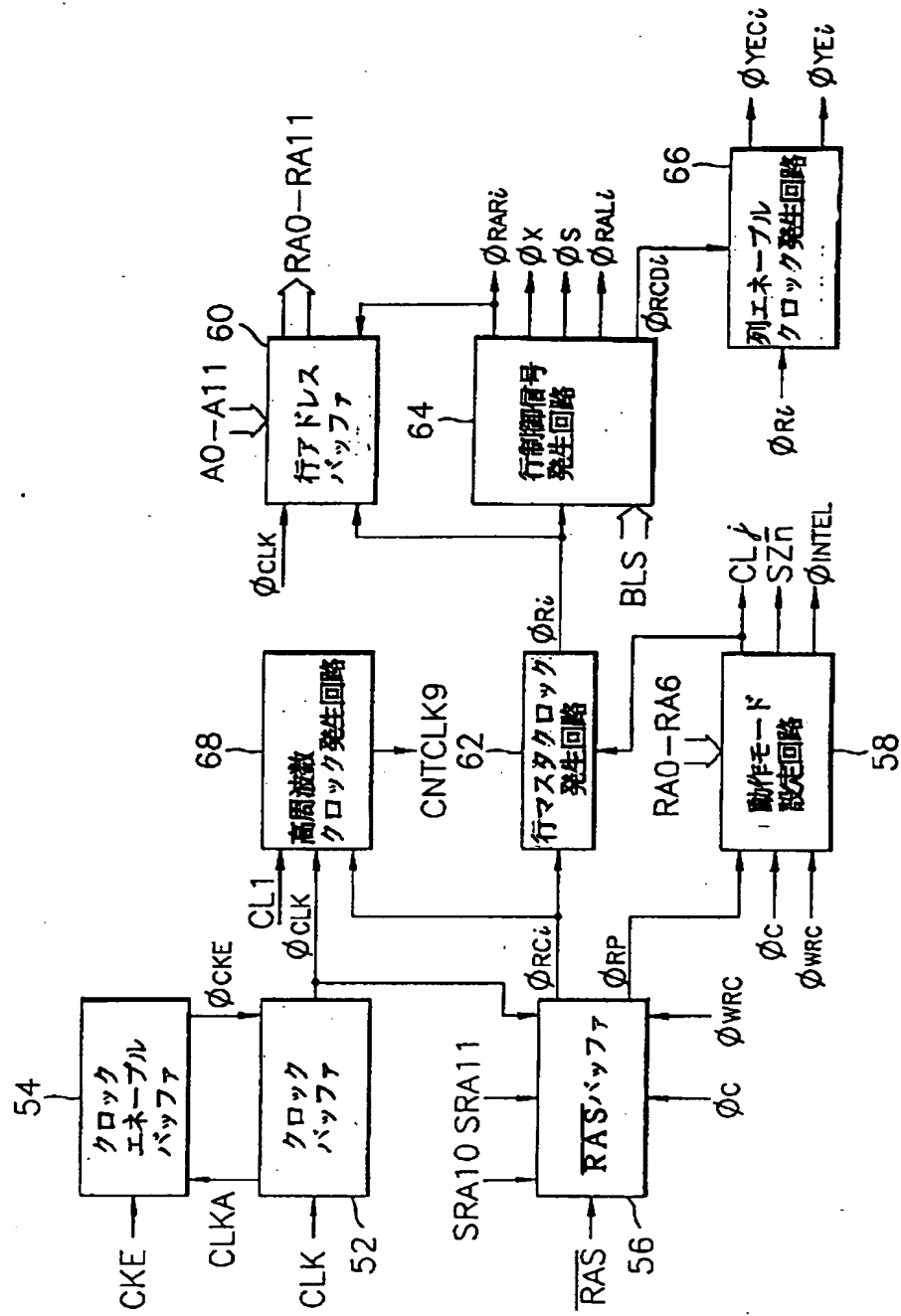
【图 18】



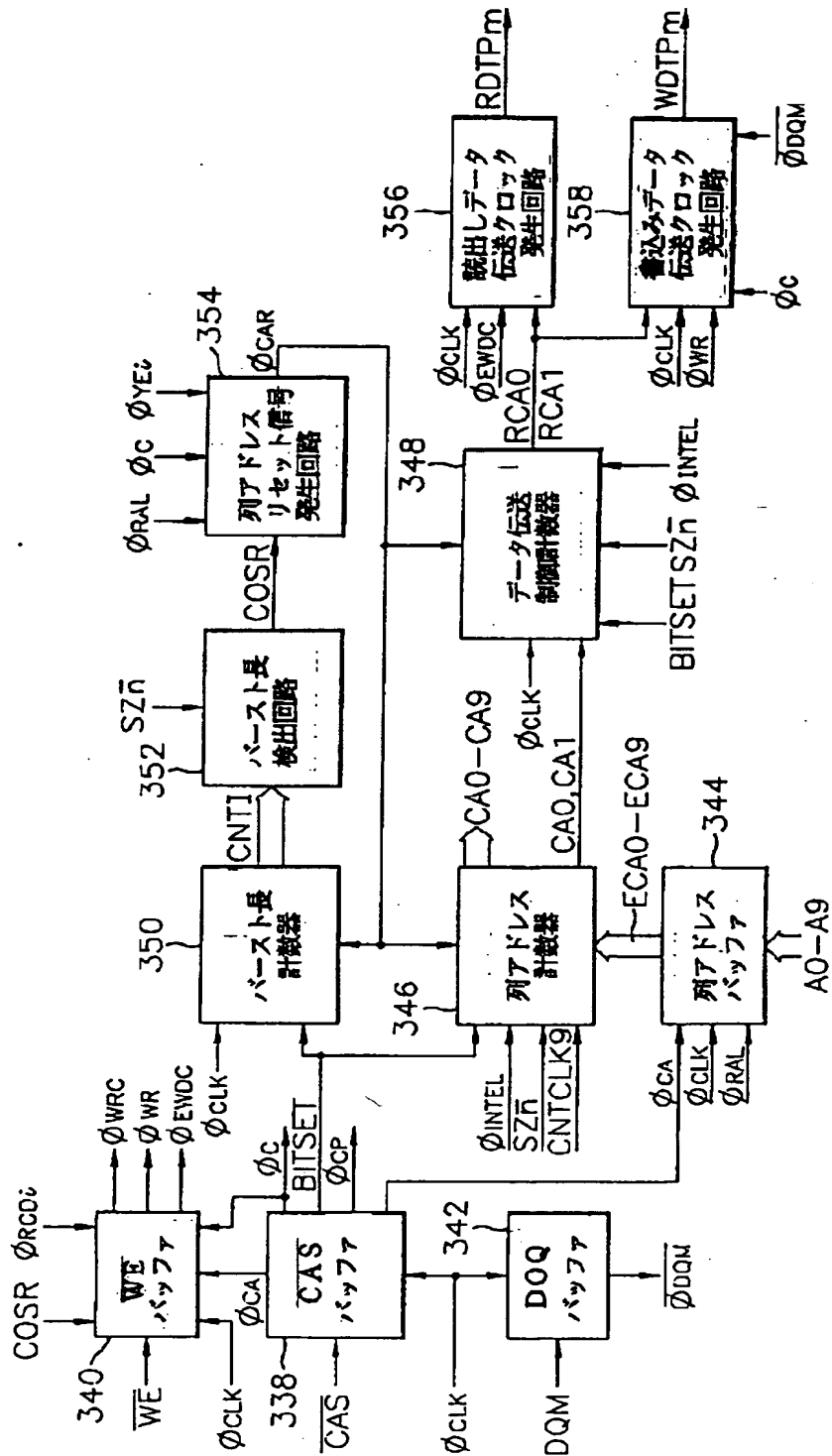
【图 17】



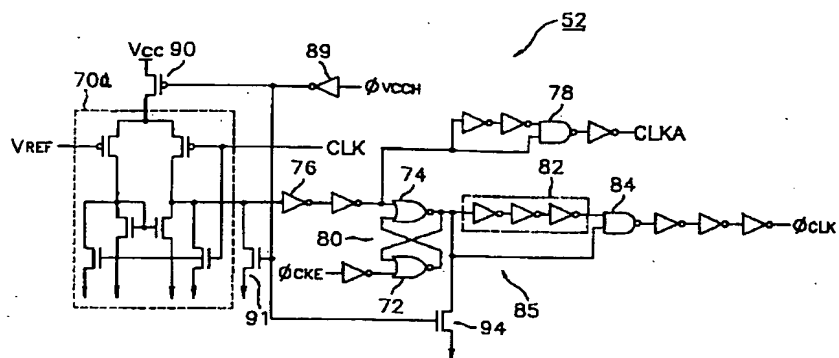
【図 4】



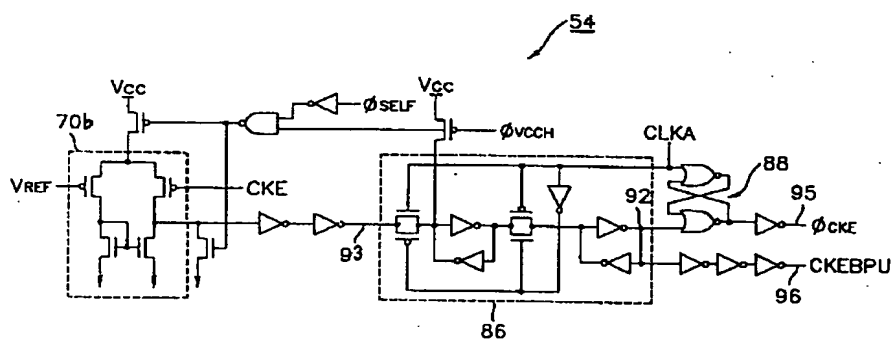
【図 5】



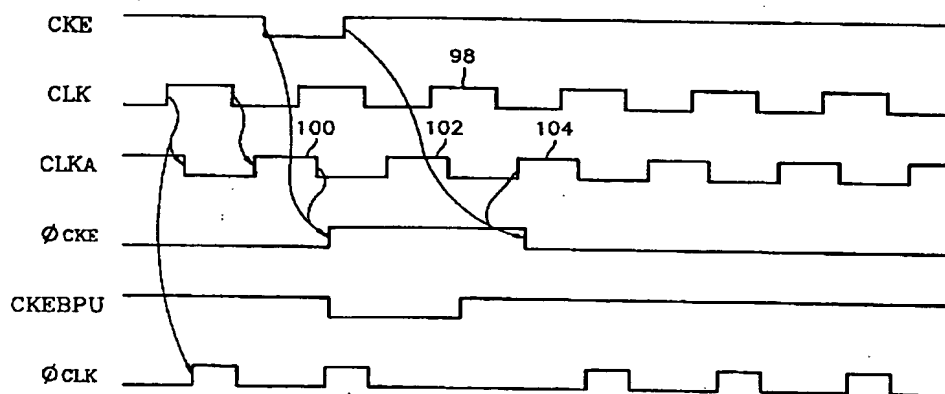
【図 8】



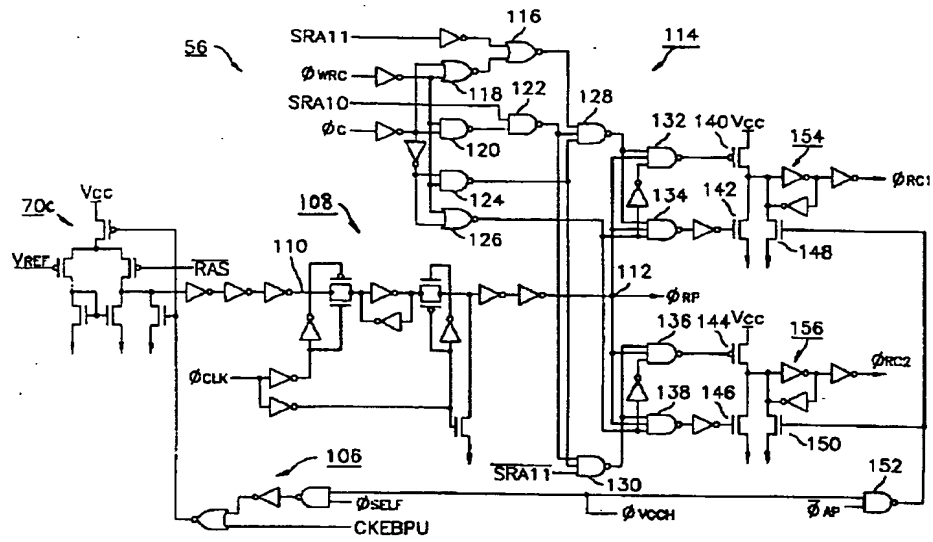
【図 9】



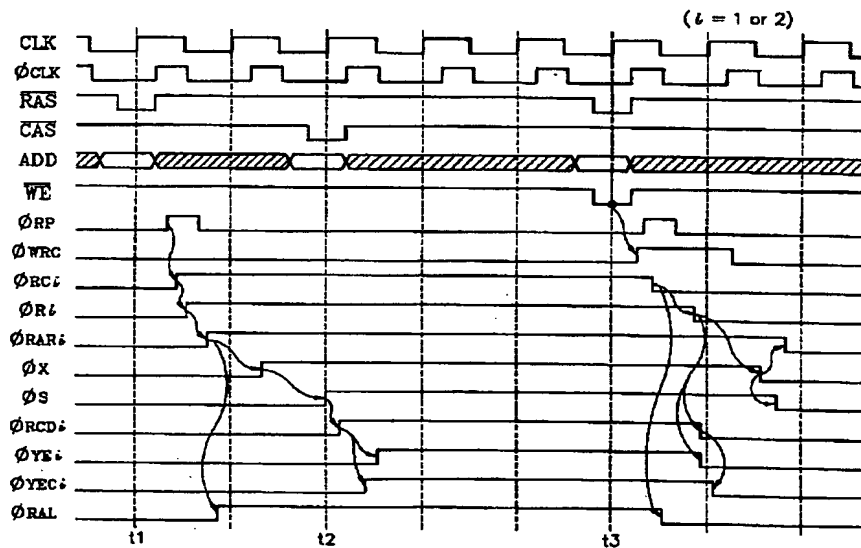
【図 10】



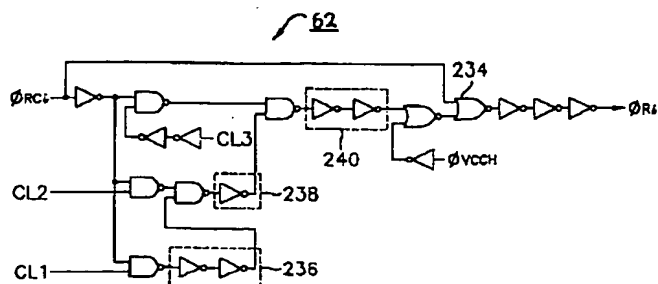
【図 1 1】



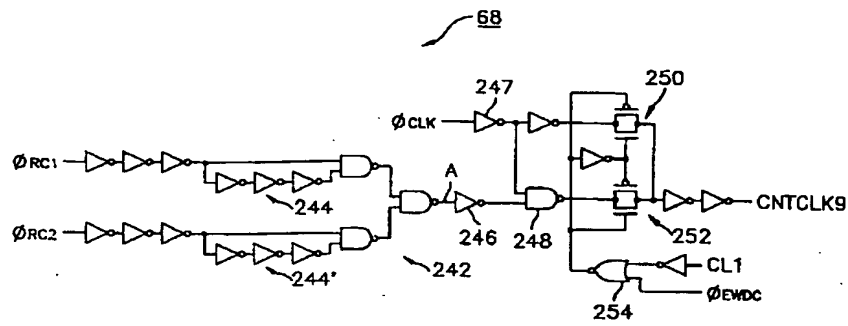
【図 1 2】



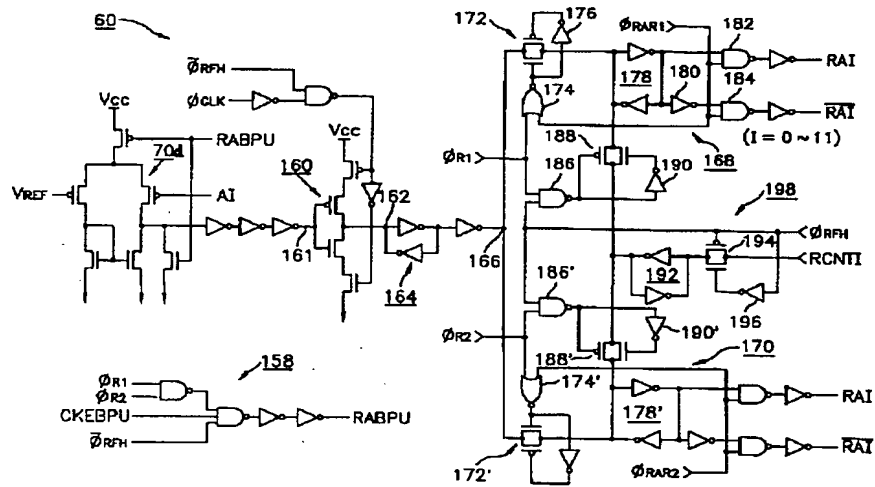
【図 2 1】



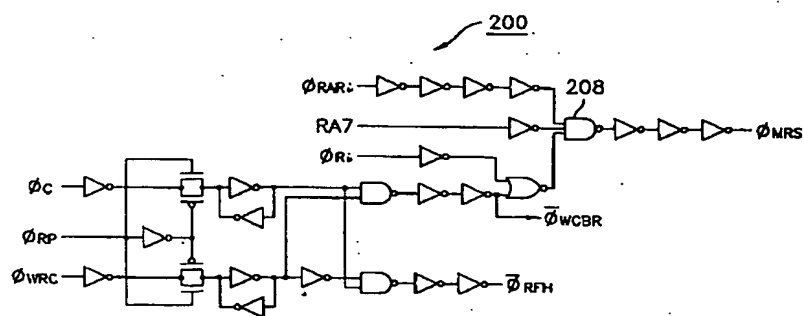
【図13】



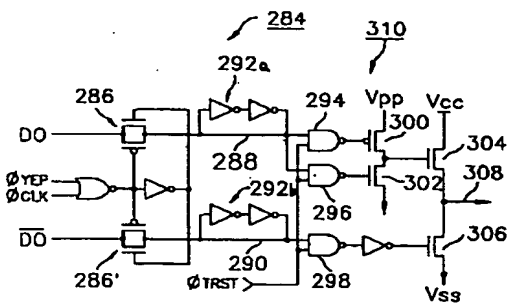
【図14】



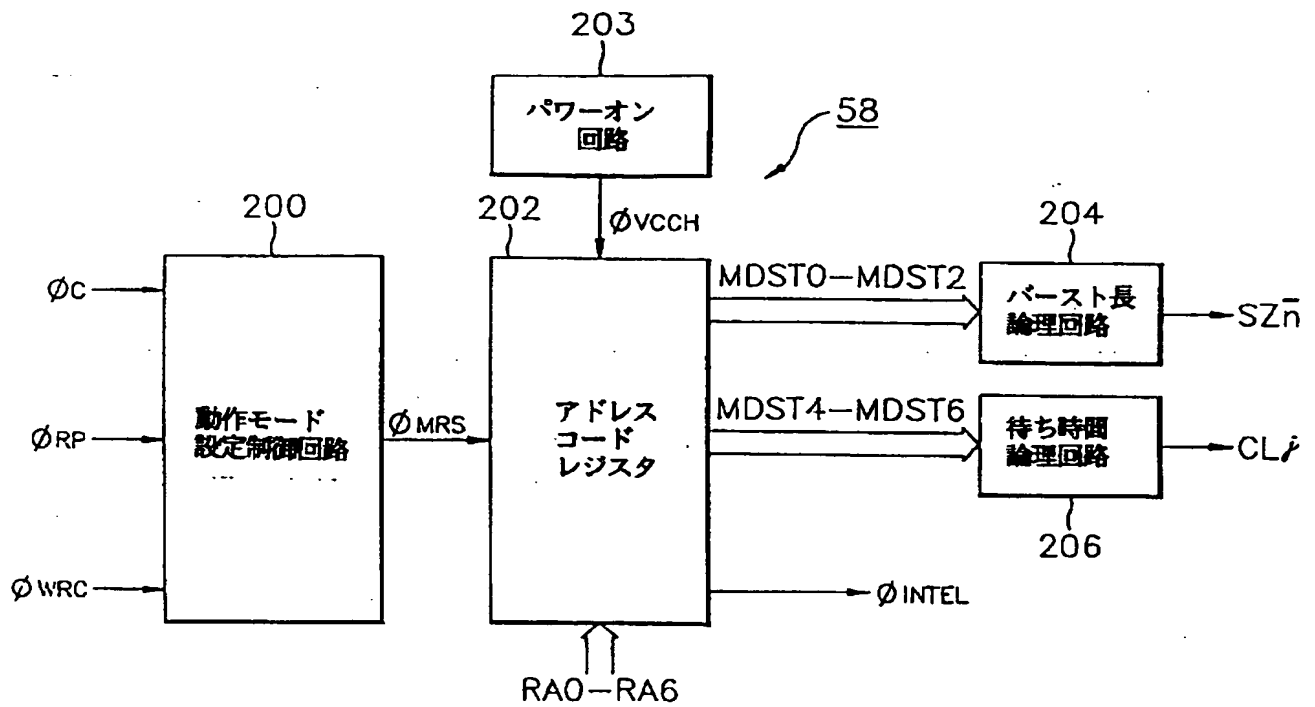
【図16】



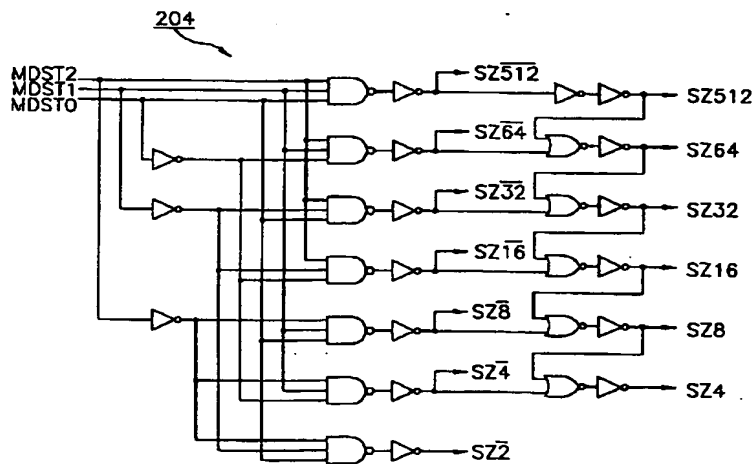
【図28】



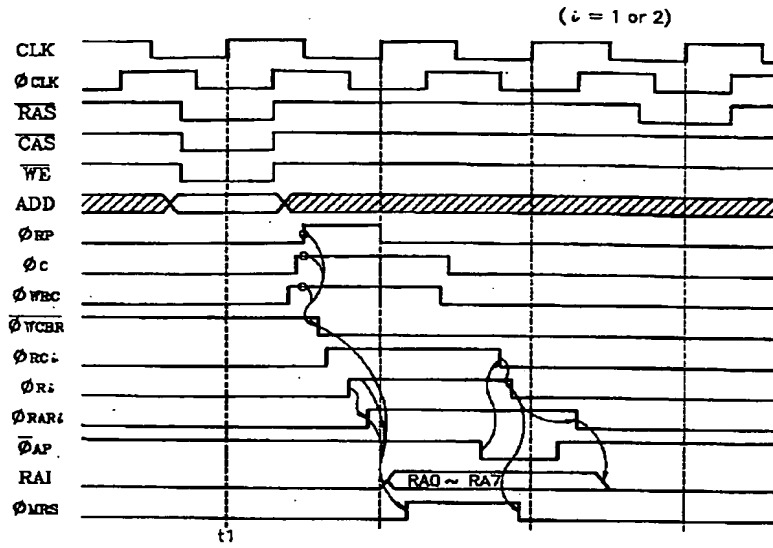
【図 1 5】



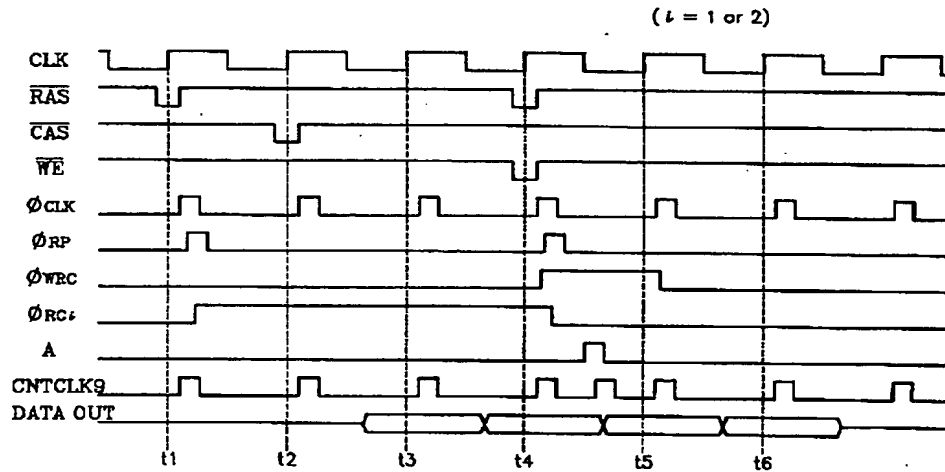
【図 1 9】



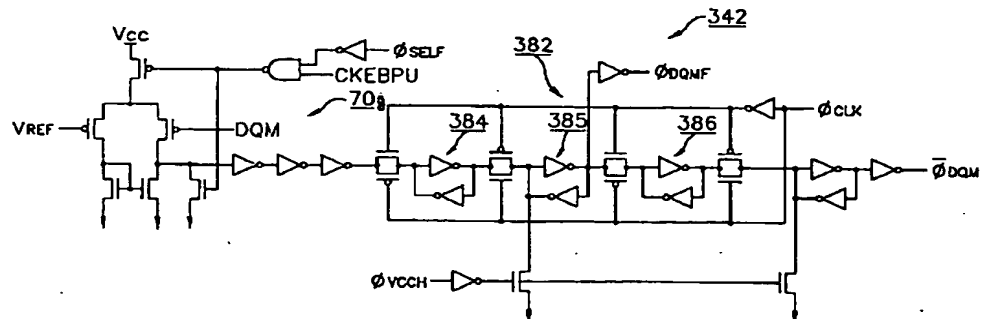
【図22】



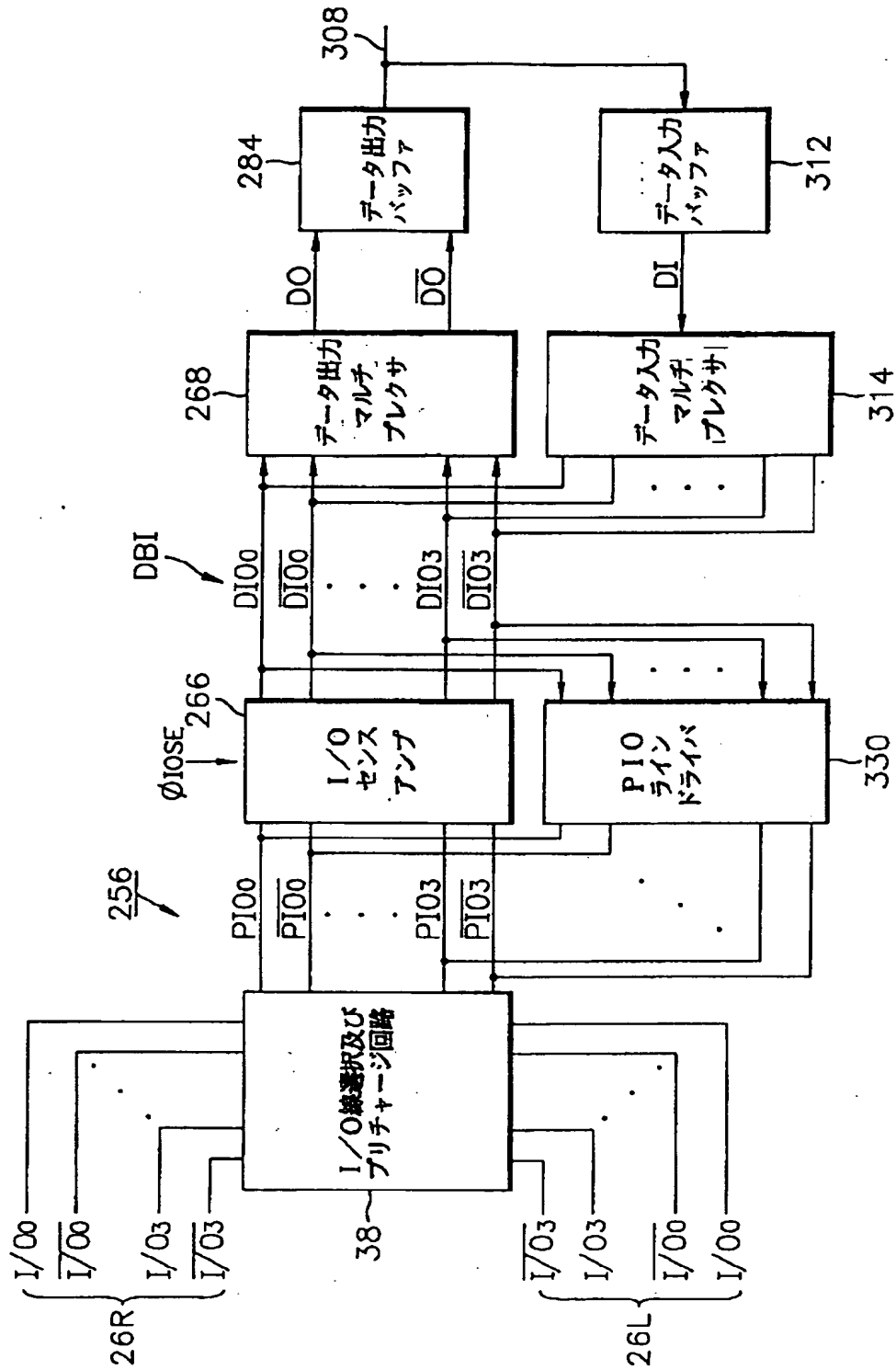
【図24】



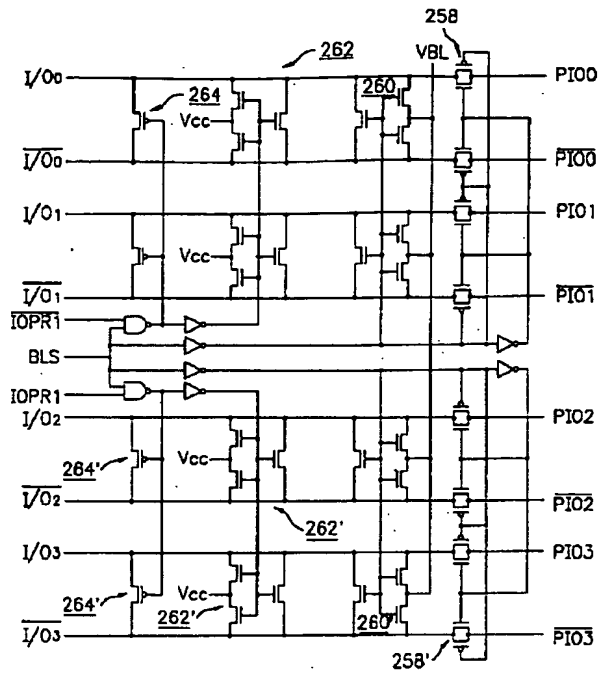
【図33】



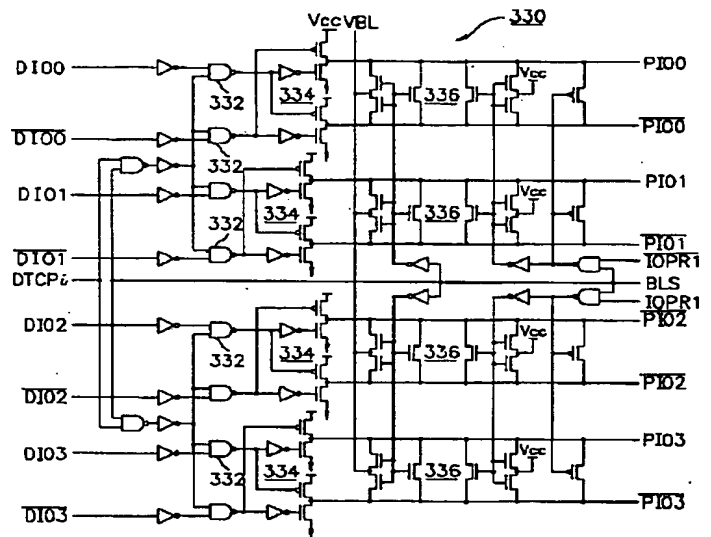
【図 25】



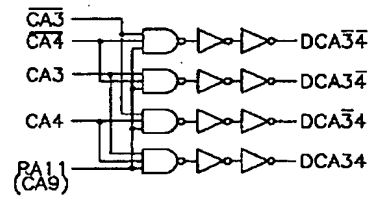
【図 2 6】



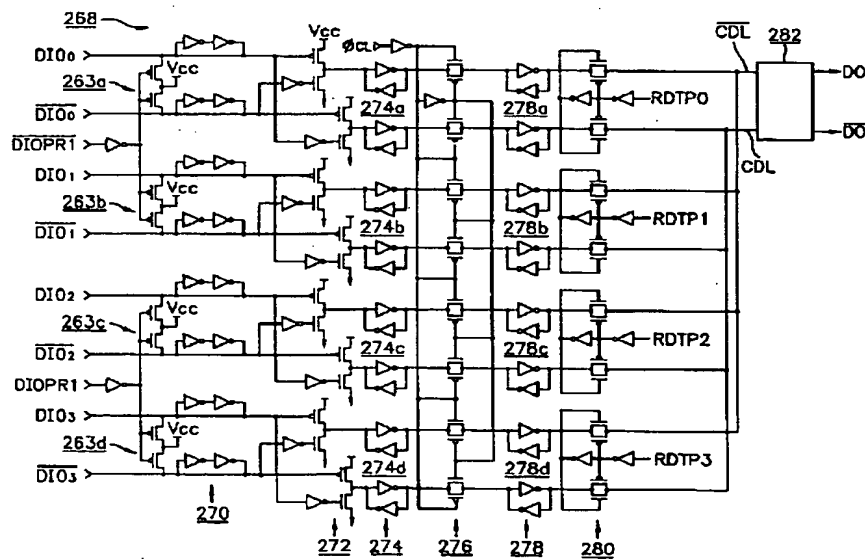
【図 3 0】



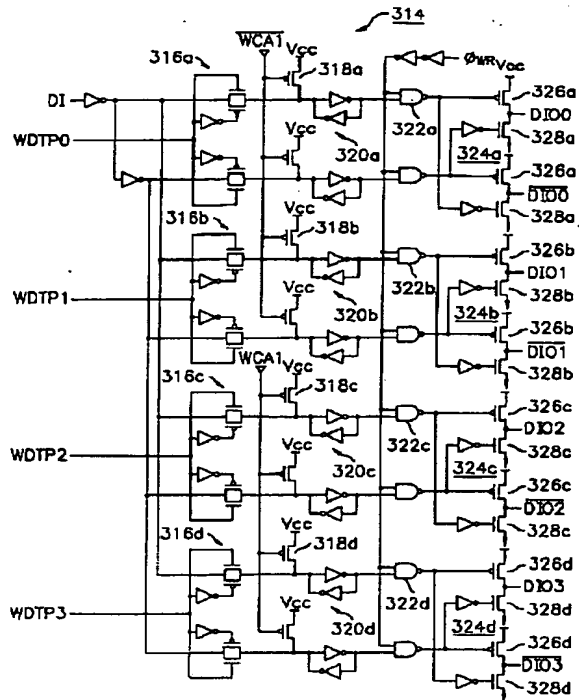
【図 4 5】



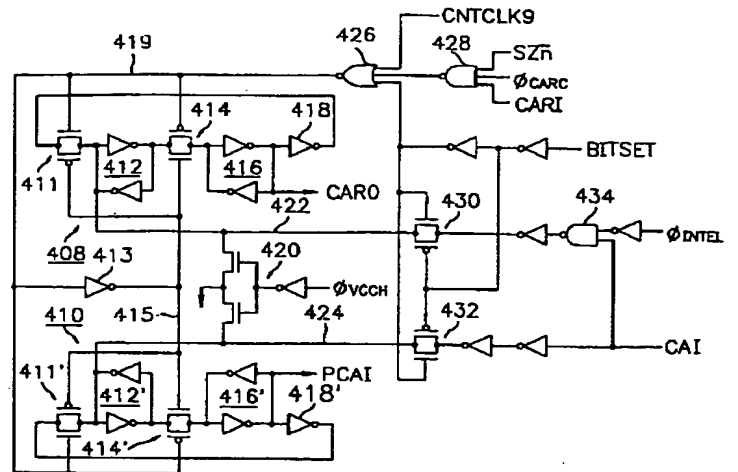
【図 2 7】



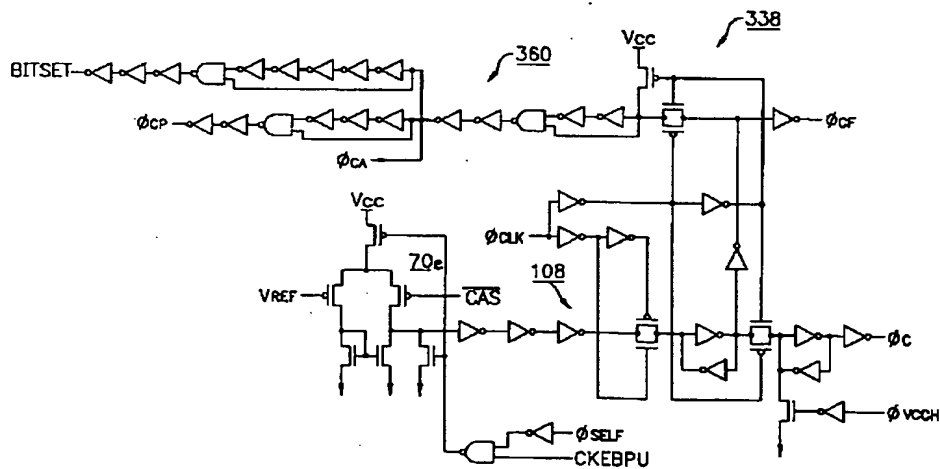
【図29】



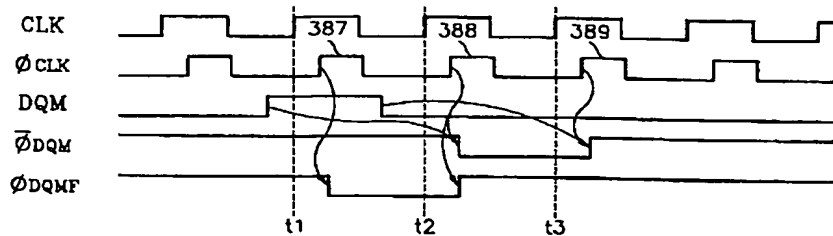
【図40】



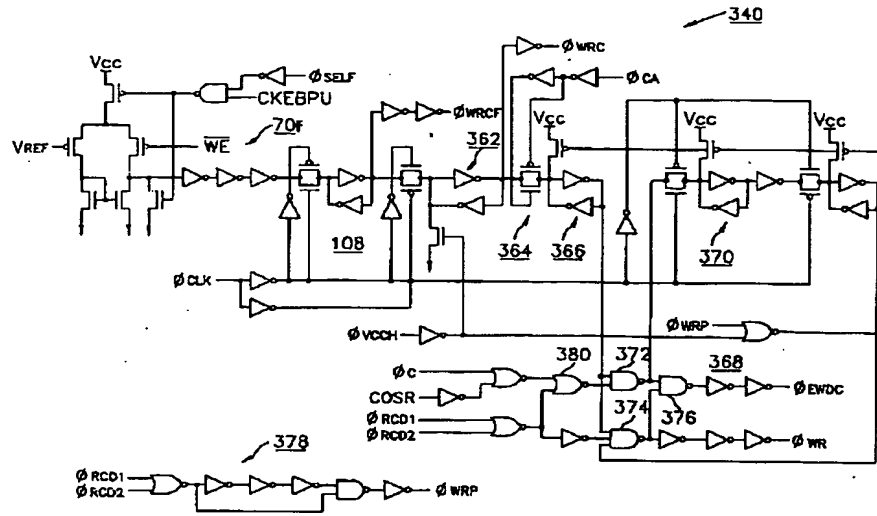
【図31】



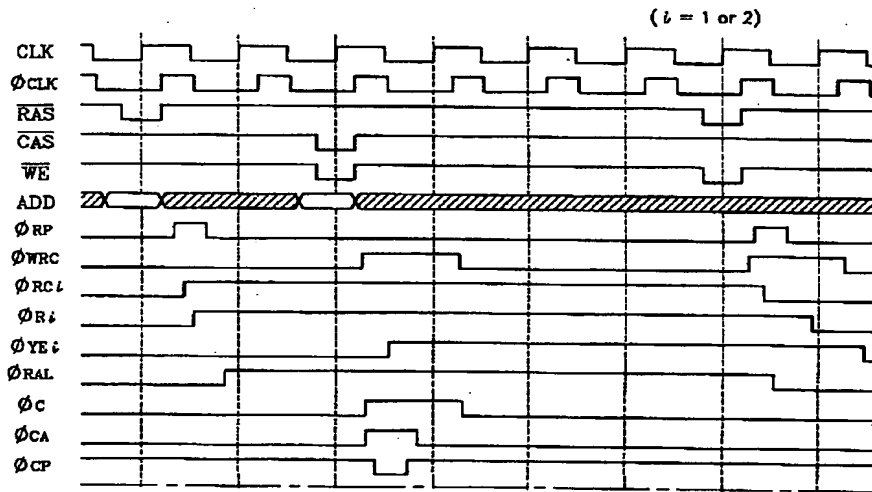
【図34】



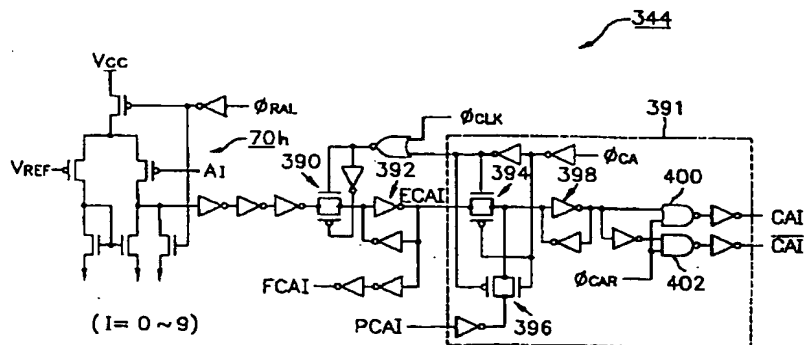
【图 3 2】



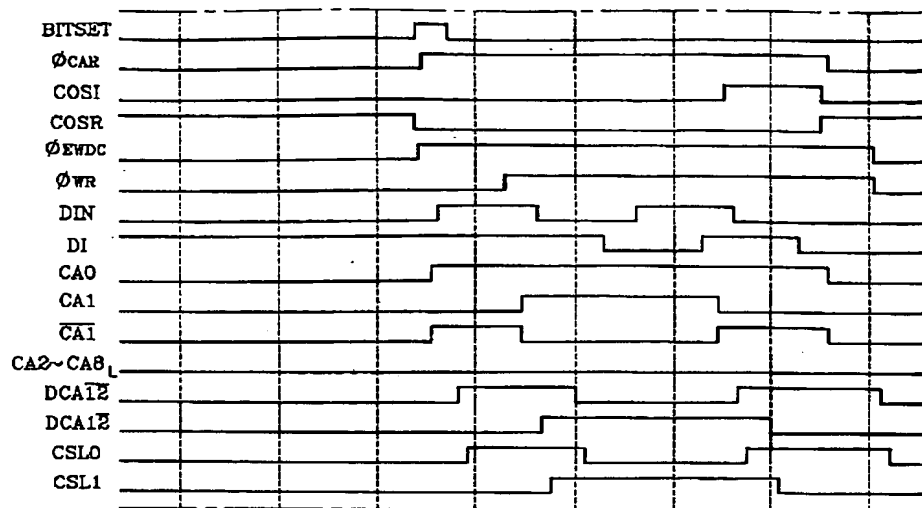
【図 3 5】



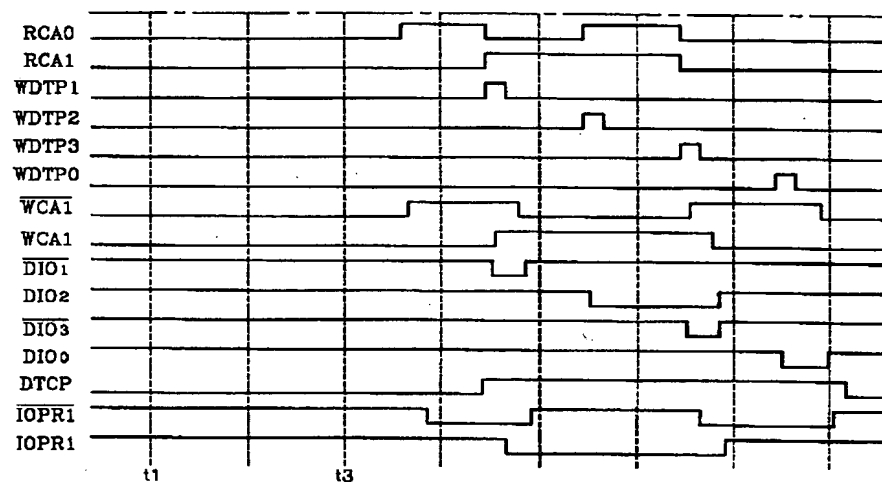
【図 3 8】



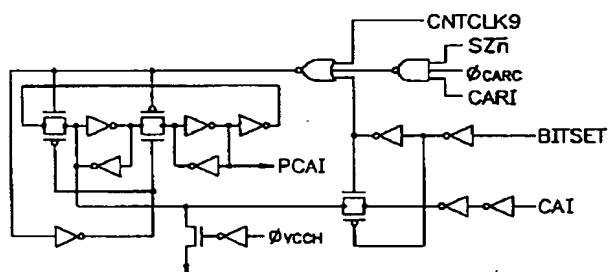
【図 3 6】



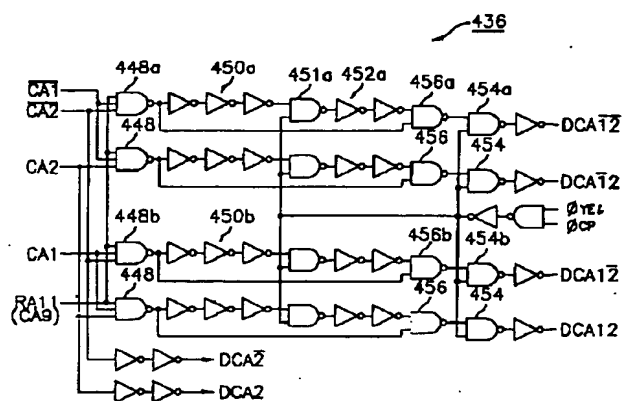
【図 3 7】



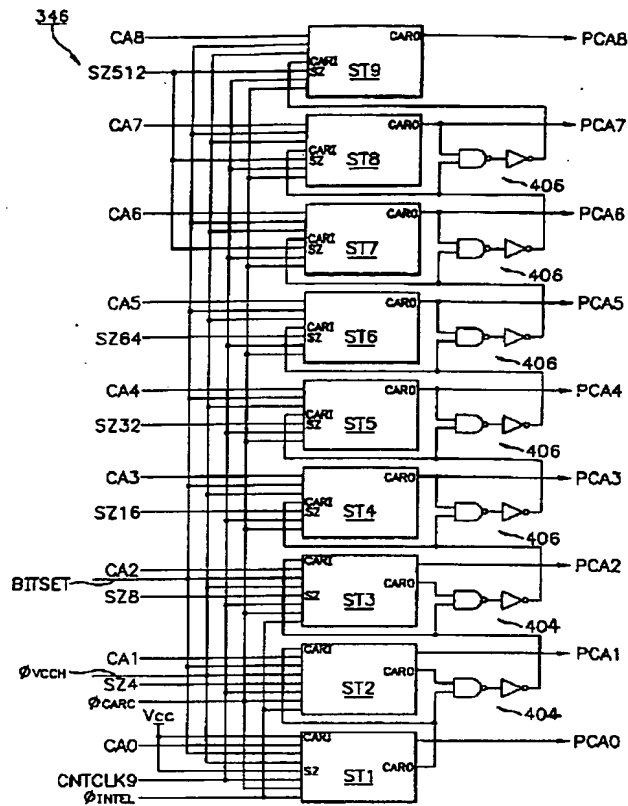
【図 4 1】



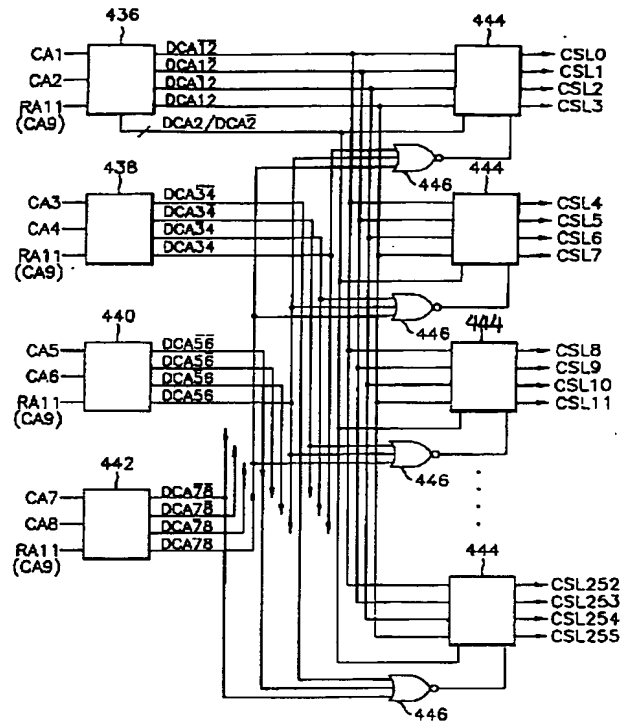
【図 4 4】



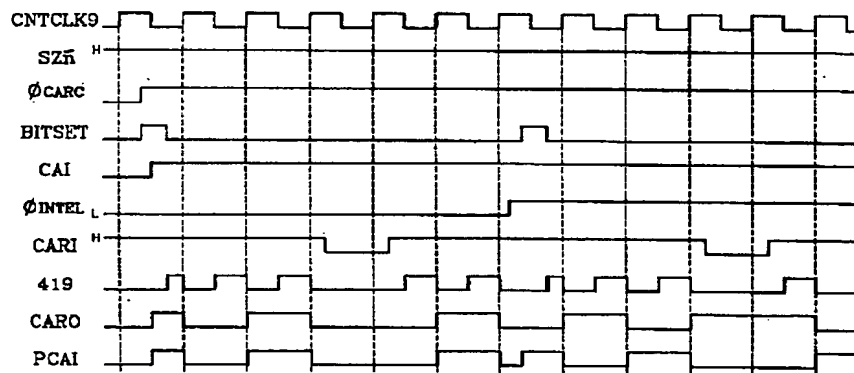
【图 3 9】



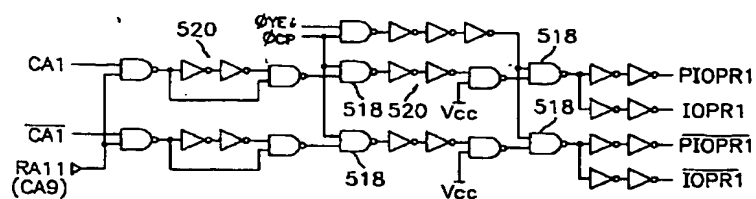
【図 4 3】



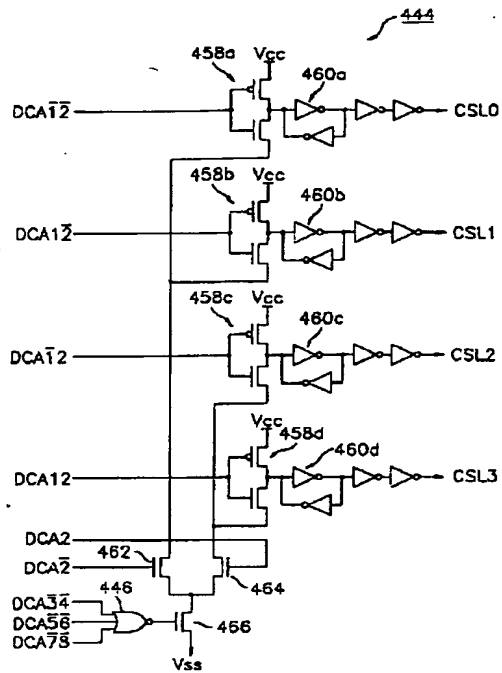
【图 4 2】



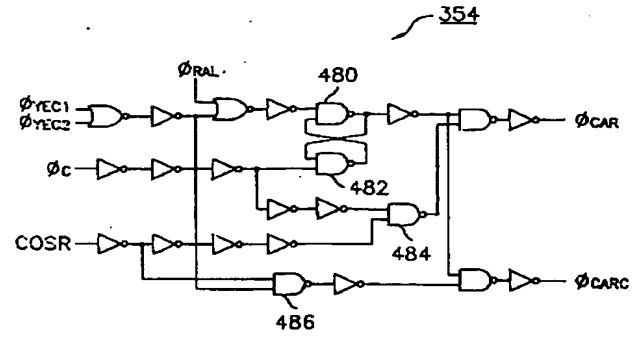
【図 6 0】



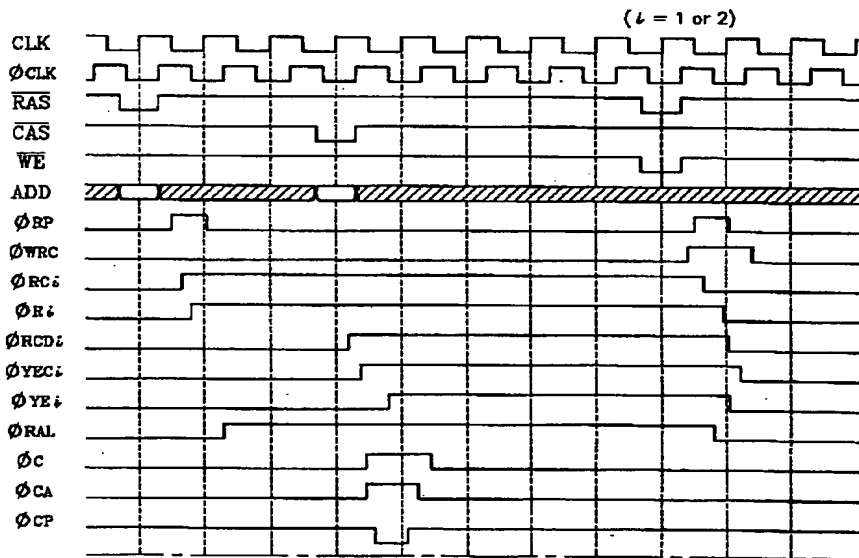
【図 4 6】



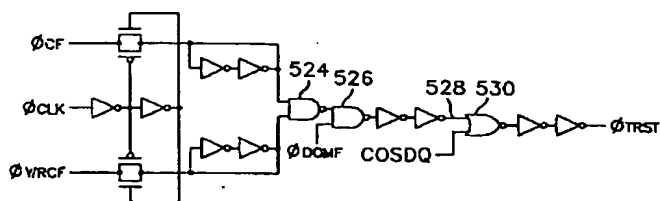
【図 5 2】



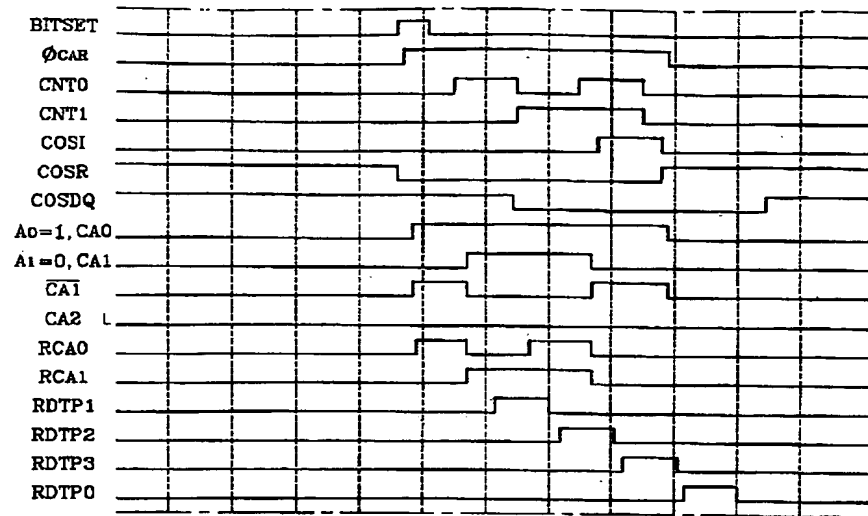
【図 4 7】



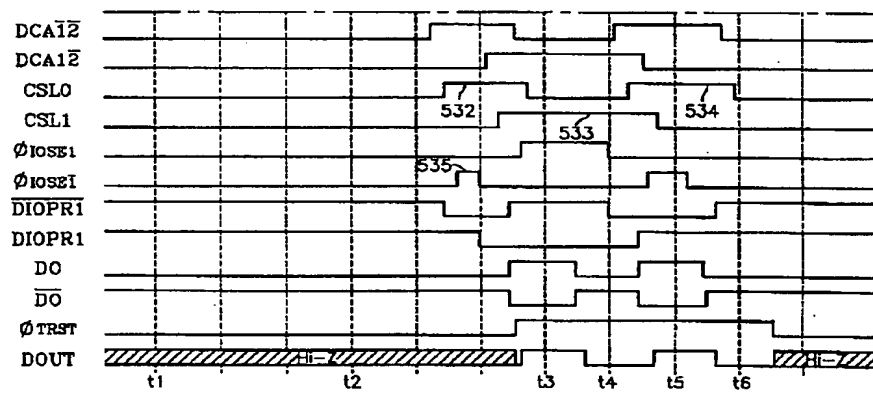
【図 6 3】



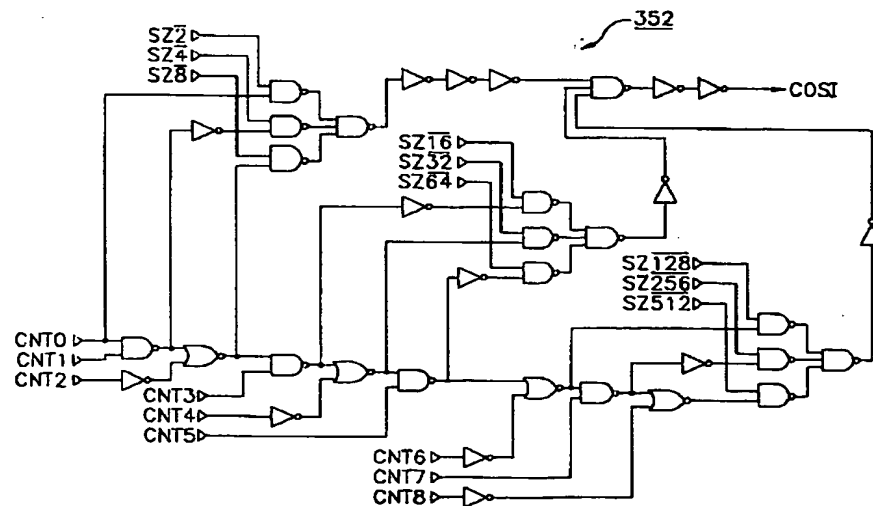
【図 4 8】



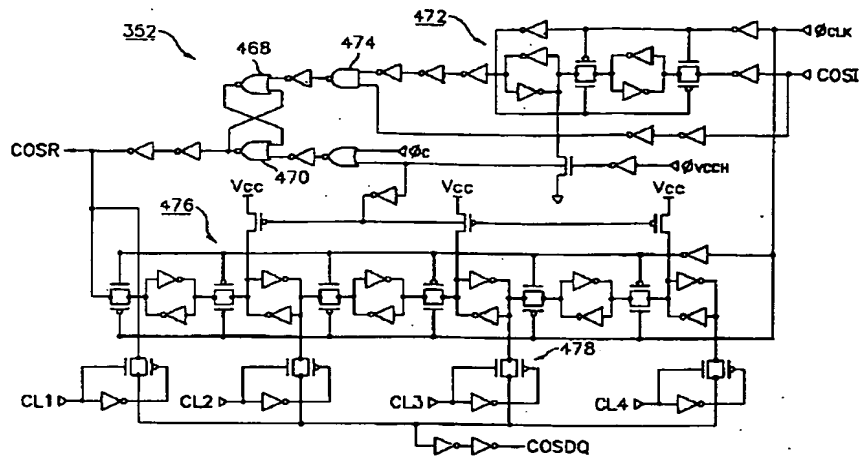
【図 4 9】



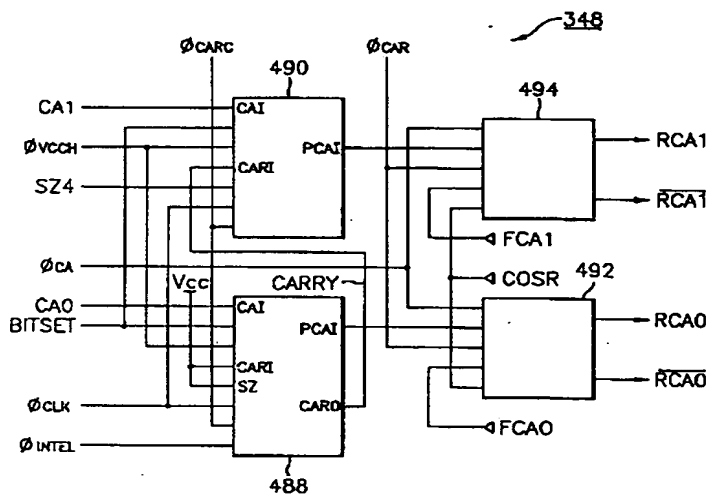
【図 5 0】



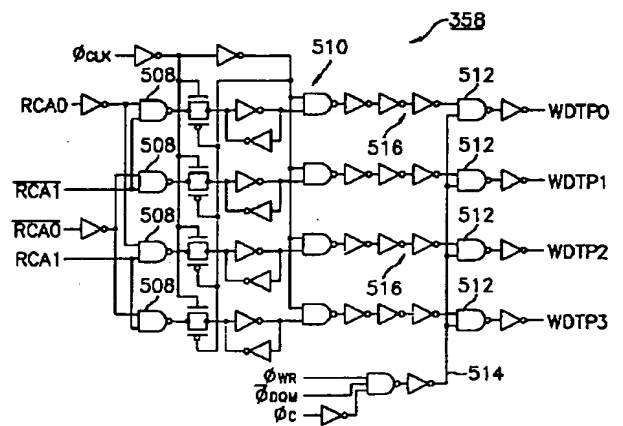
【図 5 1】



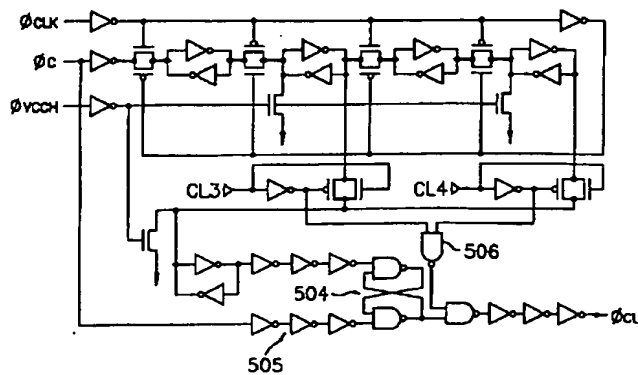
【図 5 3】



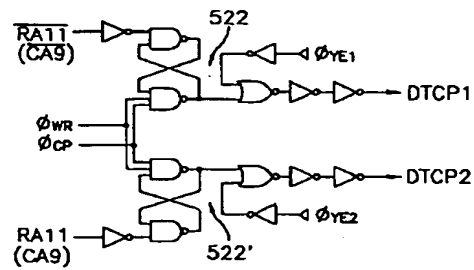
【図 5 6】



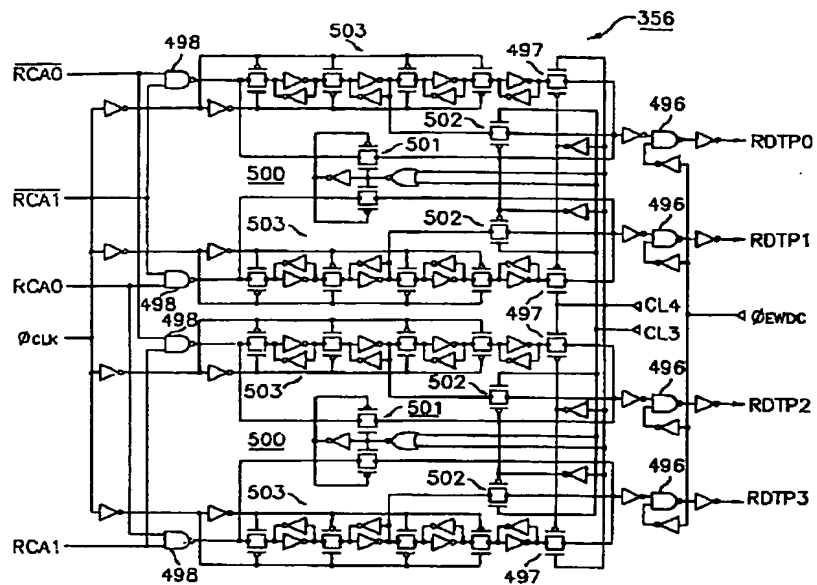
【図 5 5】



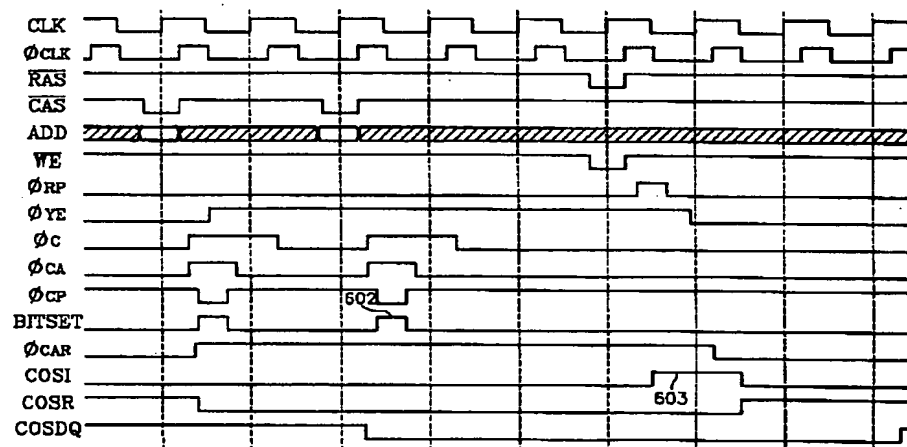
【図 6 2】



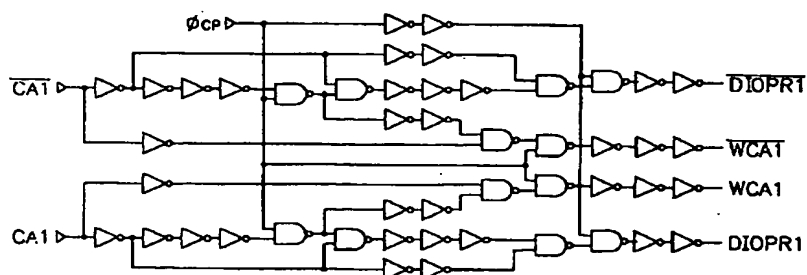
【図54】



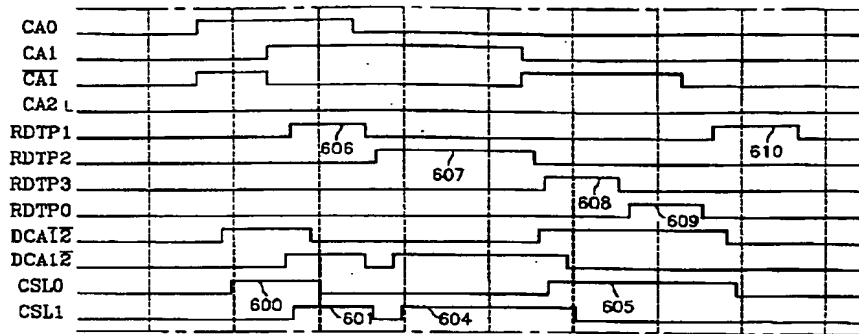
【図57】



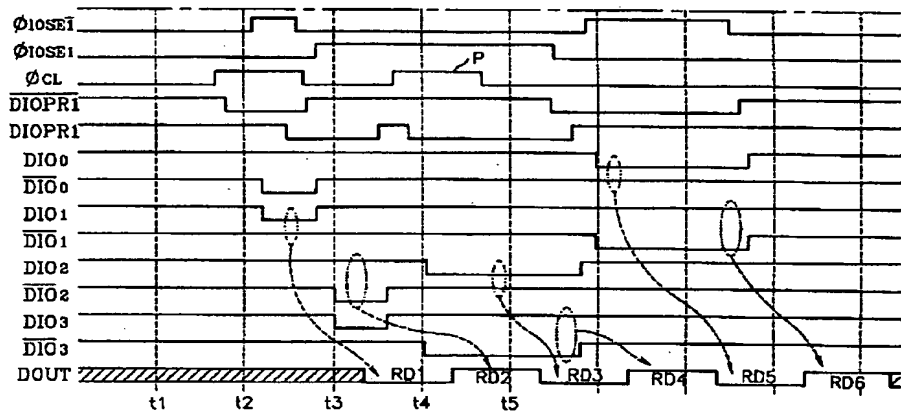
【図61】



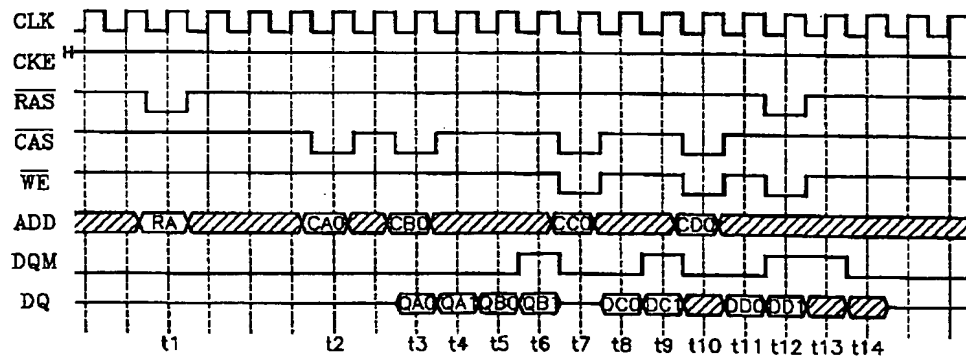
【図 5 8】



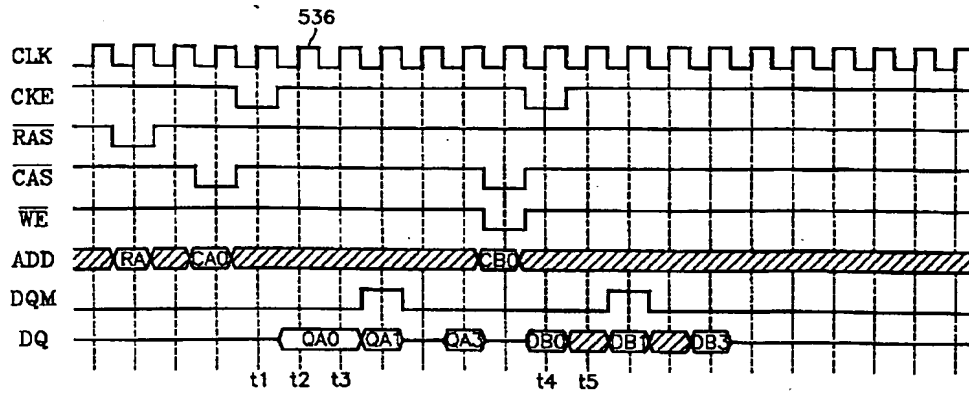
【図 5 9】



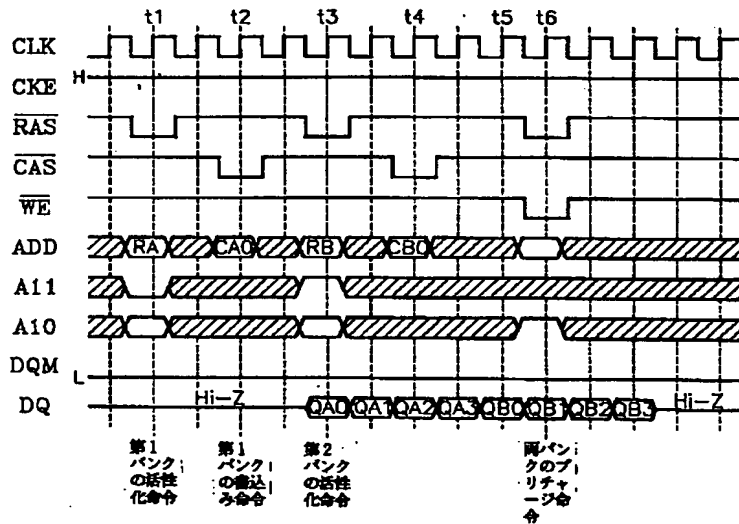
【図 6 4】



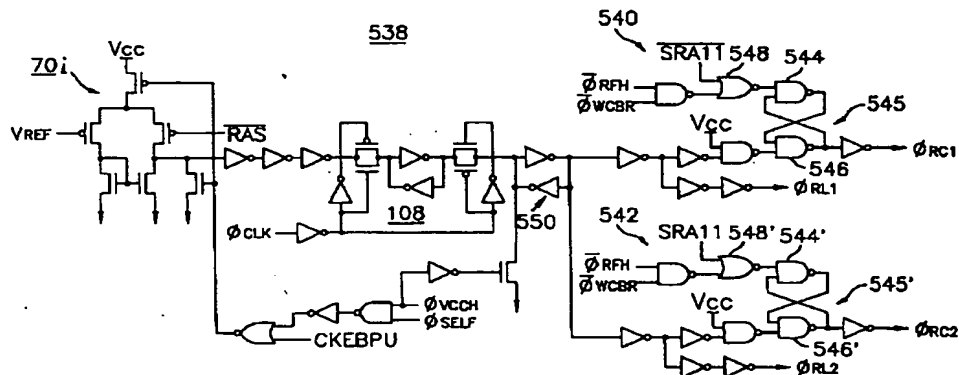
【図 6 5】



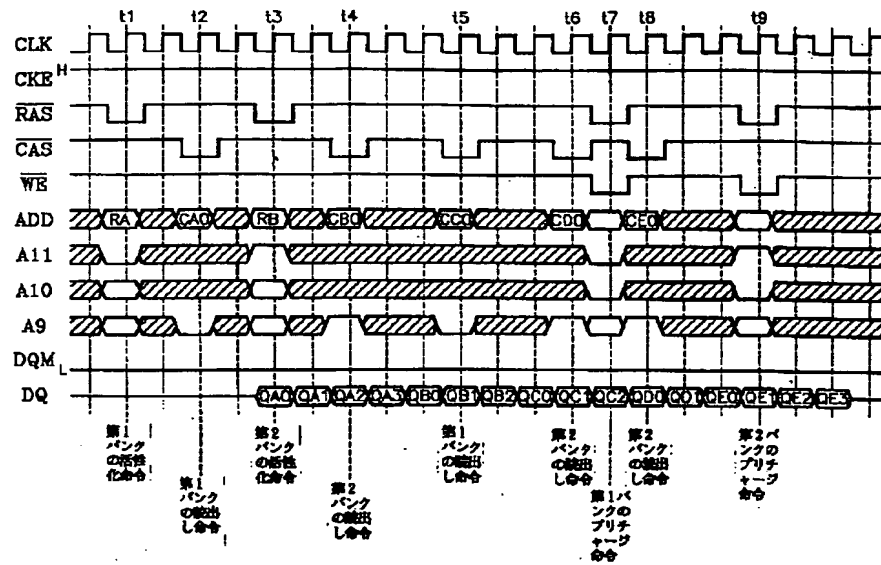
【図 6 6】



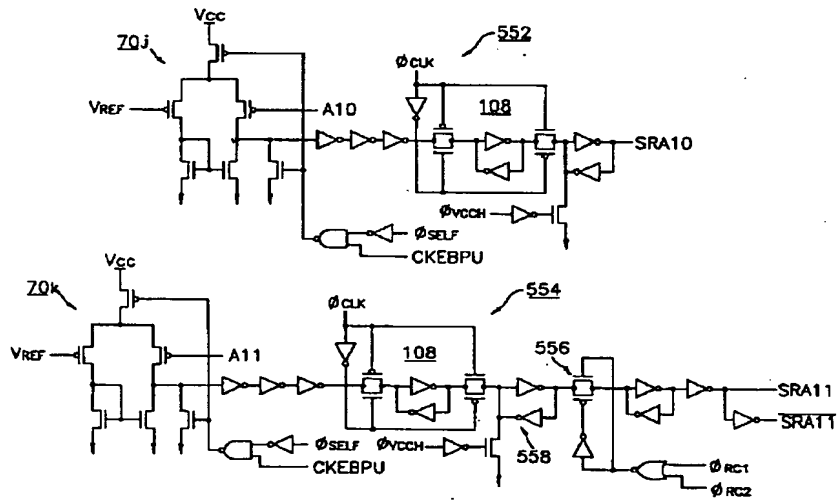
【図 6 8】



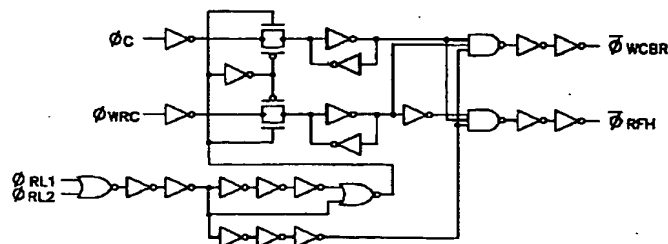
【図 6 7】



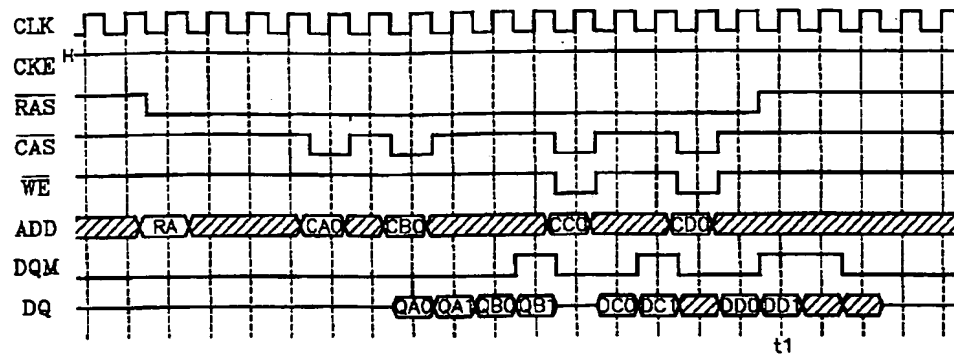
【図 6 9】



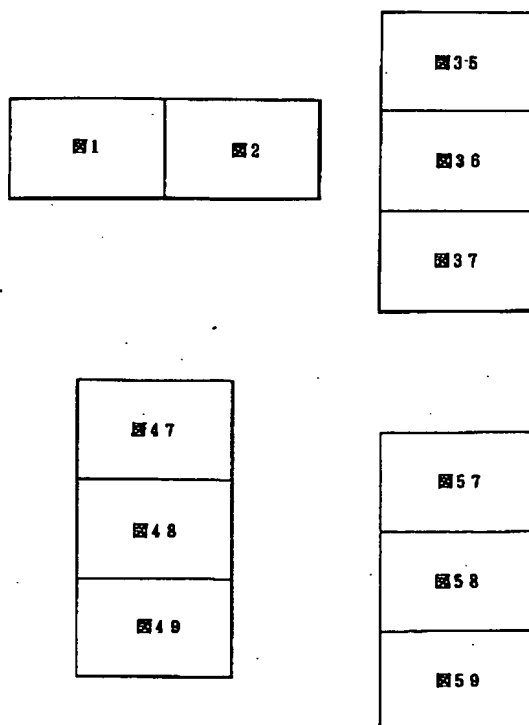
【図 7 0】



【図 7 1】



【図 7 2】



フロントページの続き

(72)発明者 金 明鎬
大韓民国京畿道水原市勸善区仁溪洞韓信ア
パート105棟1106号
(72)発明者 李 昇▲勲▼
大韓民国京畿道水原市八達区梅灘 2 洞208
番地 1 号

(72)発明者 李 始烈
大韓民国京畿道龍人郡器興邑農書里山24番
地
(72)発明者 李 鎬哲
大韓民国ソウル特別市城東区紫陽 3 洞227
番地242号

(72)発明者 金 泰▲じん▼

大韓民国ソウル特別市瑞草区方背洞ソラア
パートラ棟909号

(72)発明者 崔 潤浩

大韓民国京畿道水原市勸善区勸善洞998番
地13号永東ビーラ303号